

THOMSON MULTI MEDIA

Brandt

FERGUSON

SABA

TELEFUNKEN

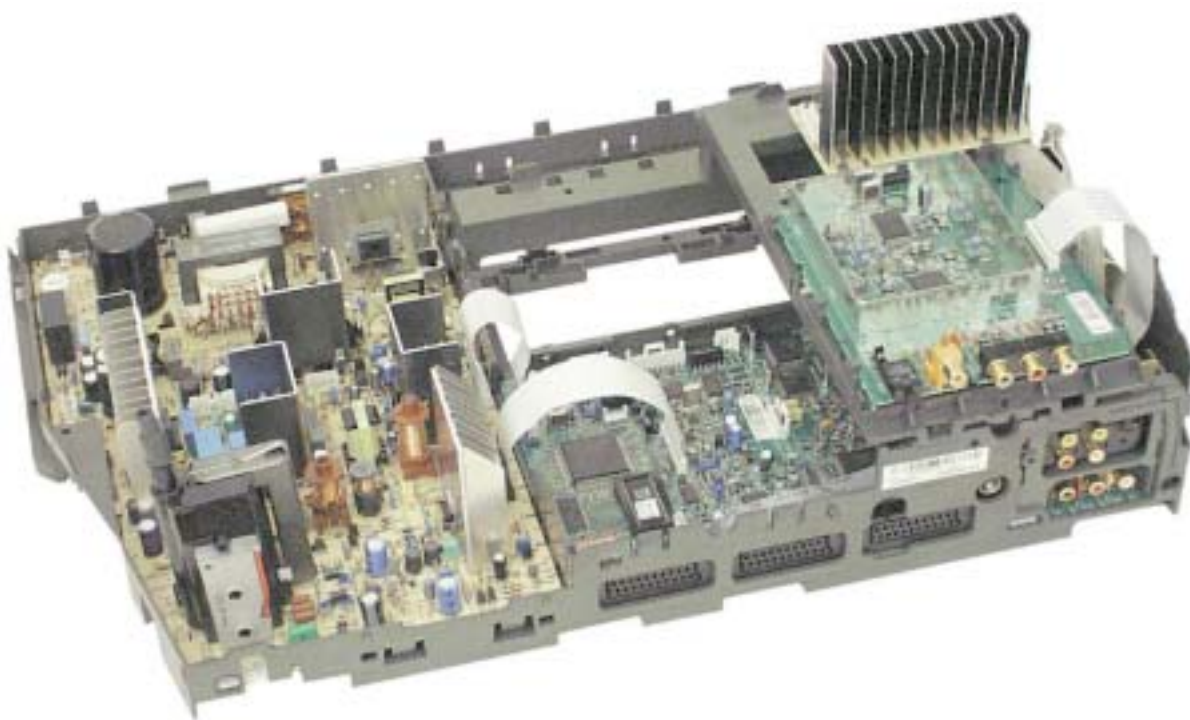
THOMSON

TV



TECHNICAL GUIDE
GUIDE TECHNIQUE
TECHNISCHE SCHULUNG
GUIDA TECNICA
GUÍA TECNICA

ICC21



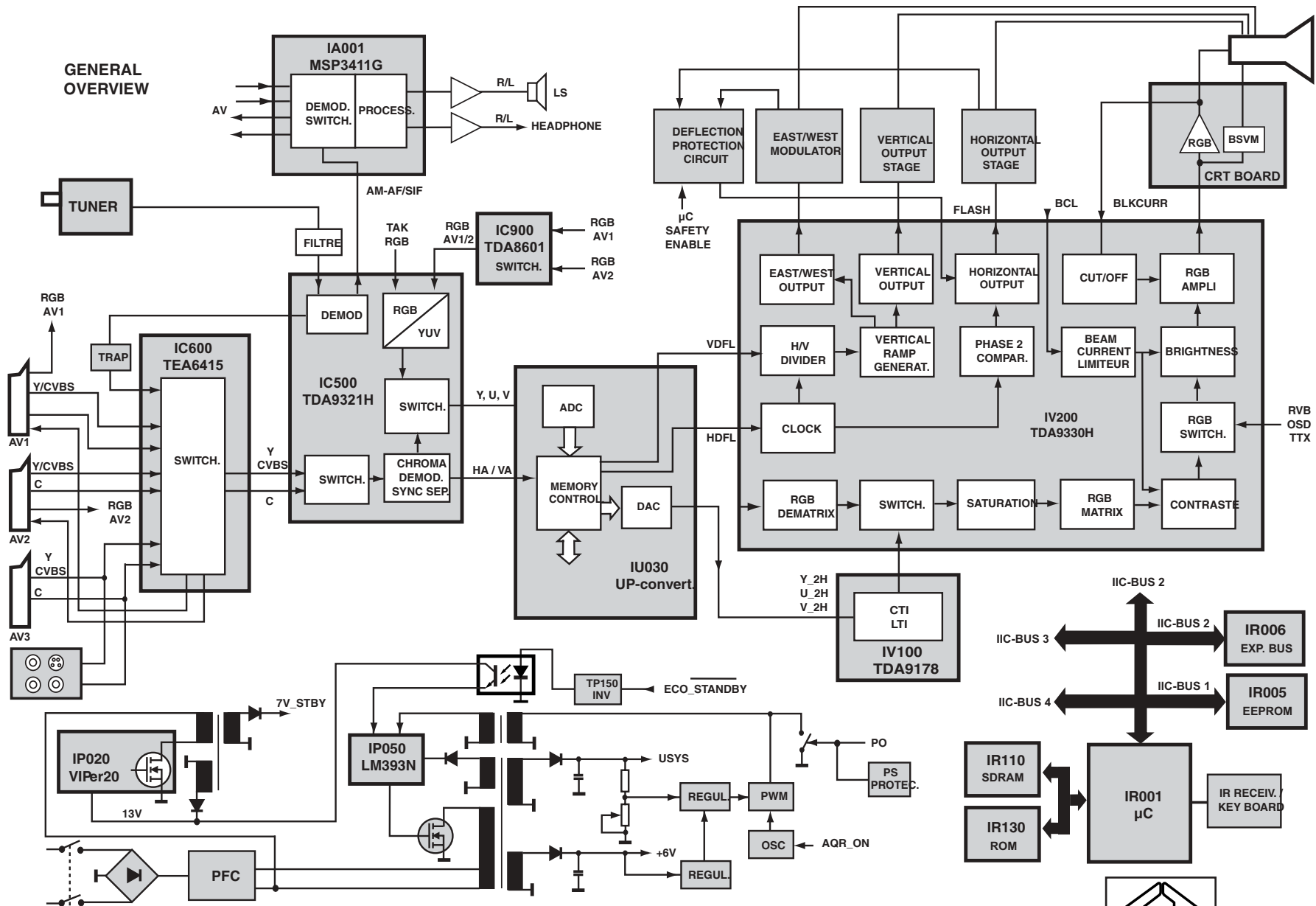
ICC21 CHASSIS - 04/02

No copying, translation, modification or other use authorized. All rights reserved worldwide. • Tous droits de reproduction, de traduction, d'adaptation et d'exécution réservés pour tous les pays. • Sämtliche Urheberrechte an diesen Texten und Zeichnungen stehen uns zu. Nachdrucke, Vervielfältigungen - auch auszugsweise - nur mit unserer vorherigen Zustimmung zulässig. Alle Rechte vorbehalten. • I diritti di riproduzione, di traduzione, di adattamento e di esecuzione sono riservati per tutti i paesi. • Derechos de reproducción, de traducción, de adaptación y de ejecución reservados para todos los países.

DESCRIPCIÓN DE CIRCUITOS DE LOS TELEVISORES CON CHASIS ICC21

CONTENIDO

PRESENTACIÓN	2
FUENTE DE ALIMENTACIÓN	7
GESTIÓN	29
BASES DE TIEMPOS	45
R.F. / F.I	63
CONMUTACIONES	69
PROCESAMIENTO DEL VÍDEO	75
AMPLIFICADORES RGB	103
PROCESAMIENTO DEL AUDIO	111
MÉTODOS DE FUNCIONAMIENTO	115

GENERAL
OVERVIEW

PRESENTACIÓN

El chasis ICC21 100Hz ICC21 (igual que el chasis ICC20) está compuesto por dos placas, una contiene la alimentación y barridos (PSB) y en la otra está contenido todo el conjunto de las pequeñas señales (SSB).

Para cumplir con las recientes normas comunitarias, la fuente de alimentación incluye una etapa de corrección del factor de potencia (PFC).

Este chasis consume aproximadamente 1'3 W en modo ECO.

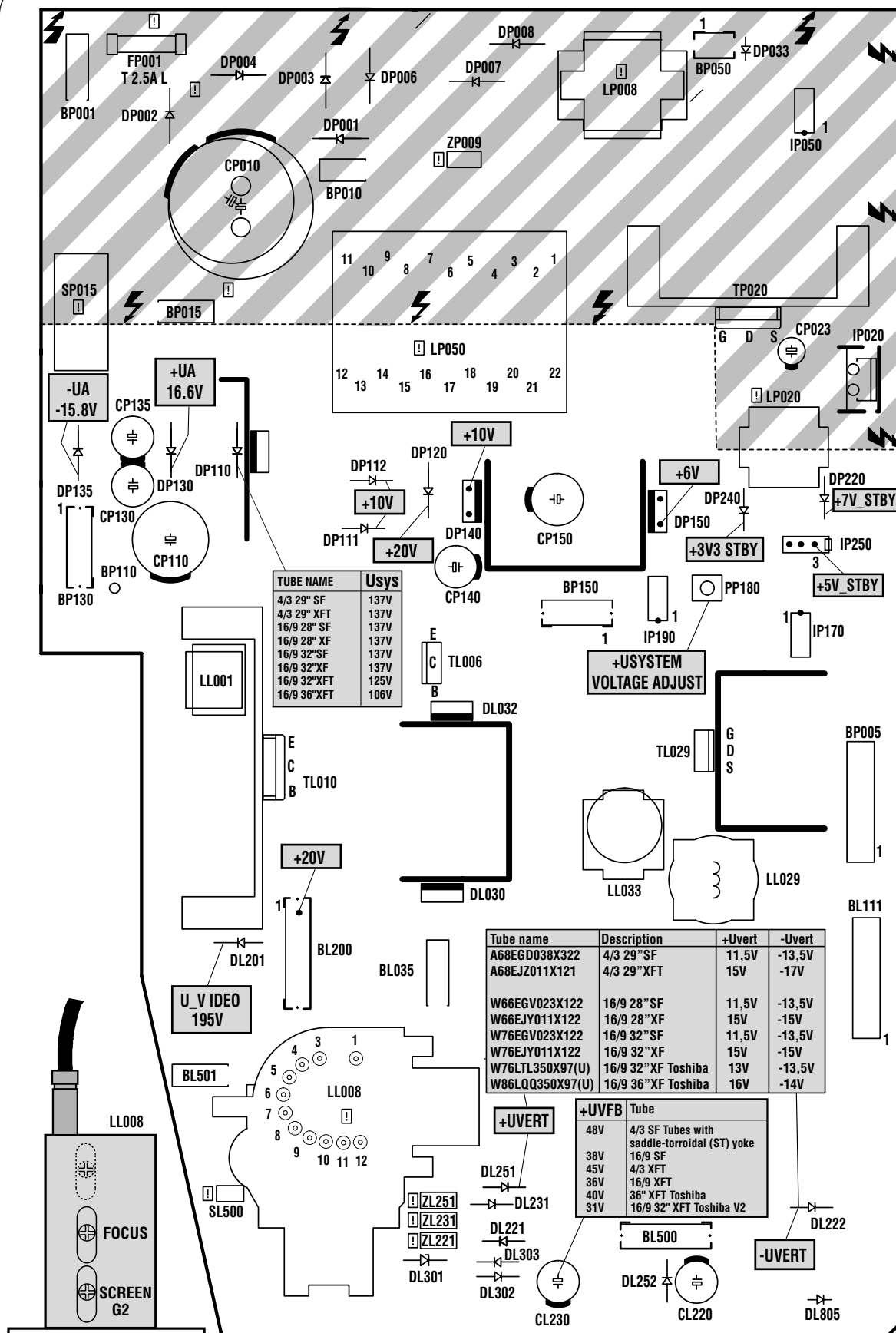
El consumo máximo en funcionamiento es de 60W.

La potencia eficaz (RMS) de sonido es de 2x10W + 20W.

Dispone de tres conectores SCART, el último de los cuales (AV3) normalmente está conectado en paralelo con los conectores frontales. Nótese que dependiendo de los chasis, los conectores frontales pueden estar conectados a 2 conectores SCART.

La función AVLink permite la comunicación entre el TVC y los periféricos conectados con él para facilitar la instalación de estos últimos.

El μ C. IR001, controla los diferentes circuitos por medio de 4 buses I2C.



Part of board connected to mains supply.
Partie du châssis reliée au secteur.
Primärseite des Netzteils.
Parte dello chassis collegata alla rete.
Parte del chasis conectada a la red



Use isolating mains transformer -
Utiliser un transformateur isolateur du secteur -
Trenntrafo verwenden -
Utilizar un transformador aislador de red -
Utilizzare un trasformatore per isolarvi dalla rete

THOMSON
MULTI
MEDIA

PRESENTACIÓN DE LA PLACA DE SEÑAL

Esta placa incorpora las funciones de todas las pequeñas señales analógicas y digitales :

- Gestión
- RF/FI
- Conmutaciones
- Conversión 50Hz --> 100Hz.
- Audio.

PRESENTACIÓN DE LA PLACA DE ALIMENTACIÓN

Esta placa agrupa todas las funciones analógicas de alimentación:

- Rectificación de la tensión de red
- Corrección del Factor de Potencia (PFC)
- Desmagnetización
- Fuentes de alimentación Standby y Principal
- Barridos de líneas, cuadros, MAT y enfoque.

NOTAS

FUENTE DE ALIMENTACIÓN

CONTENIDO

PRESENTACIÓN GENERAL DE LA ETAPA DE ALIMENTACIÓN

FUENTE DE ALIMENTACIÓN DE STANDBY

LAZO DE LA REGULACIÓN SECUNDARIA

MODULADOR SECUNDARIO IP170

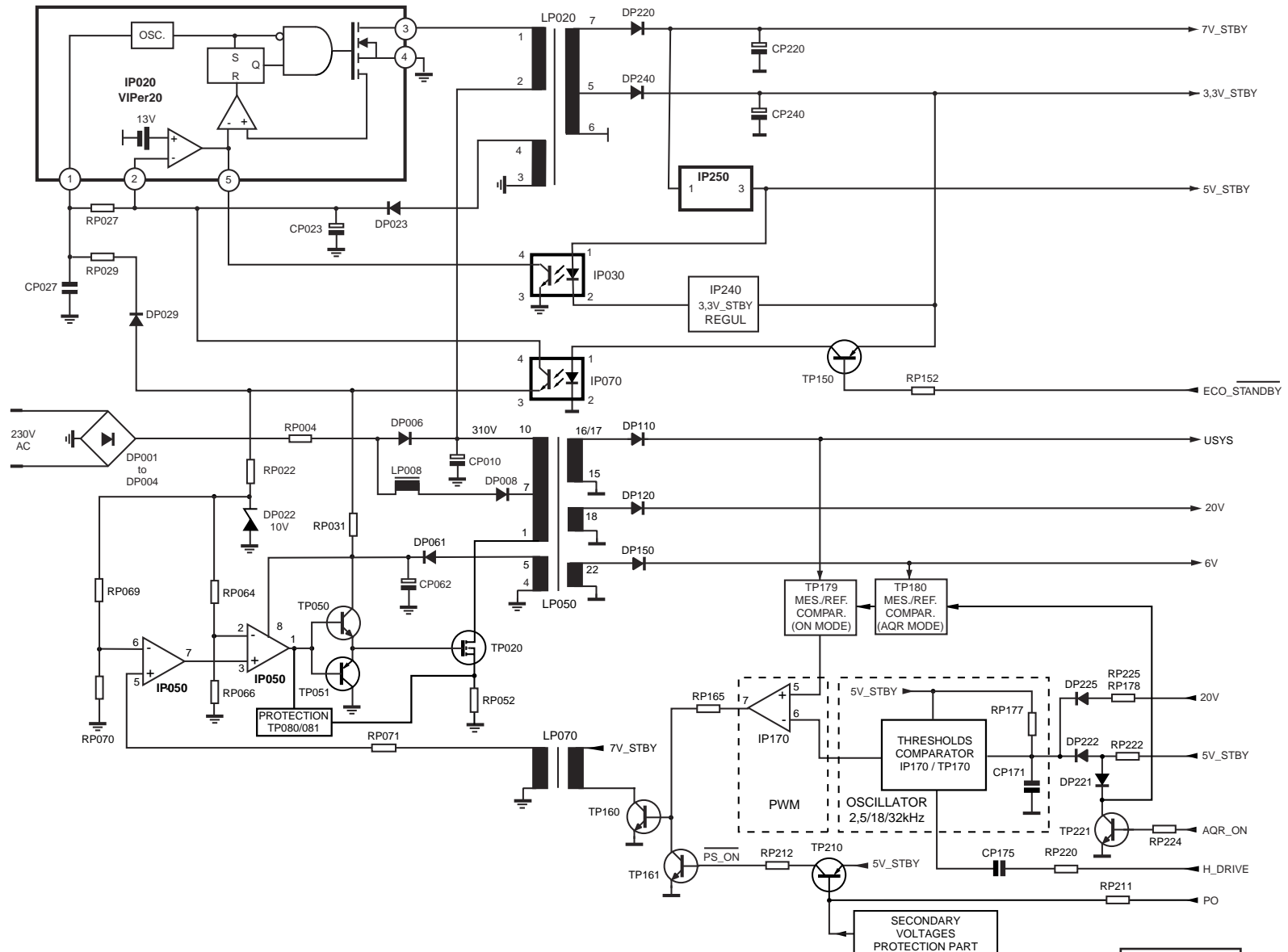
COMPARADOR DE TENSIÓN Y PWM

ETAPA DE CONTROL PRIMARIO TP020

ALIMENTACIÓN Y CONTROL PRIMARIO DE LP050

DISTRIBUCIÓN DE LAS TENSIONES SECUNDARIAS

ETAPAS DE SEGURIDAD SECUNDARIA



PRESENTACIÓN GENERAL DE LA ETAPA DE ALIMENTACIÓN

La organización general de la sección de la fuente de alimentación de los ICC21 está basada en los chasis ICC20, y está compuesta de 2 partes:

- la fuente de alimentación de standby, la cual presenta un bajo consumo en este modo (~1'3 vatios). Su misión es la de alimentar al micro-controlador y componentes vitales cuando permanece en standby; esto se aplica a todos los modos (ECO, standby, adquisición y en funcionamiento normal).
- la fuente de alimentación principal, la cual es utilizada solamente cuando no está en los modos ECO y standby, y puede entregar 60W para los circuitos de imagen y 40W para los de audio.

La fuente de standby está compuesta por:

- IP020 (VIPER 20) en el primario; un circuito que incluye las funciones de arranque, regulación, seguridad y conmutación. La frecuencia del oscilador dependerá del modo activo, con la conmutación entregada por la línea ECO_STANDBY desde el micro-controlador, la cual activa los componentes TP150 y IP070.

La tensión auxiliar del primario suministrada por DP023 entregará la tensión de arranque a la etapa de control una vez que esté en modo standby, utilizando los componentes mencionados anteriormente.

- en el secundario, están disponibles las tres tensiones siguientes: 7V_STBY, 3V3_STBY y 5V_STBY (la última de las cuales es regulada por el circuito IP250 desde la tensión 7V_STBY).

La regulación del secundario controla la tensión 3V3_STBY por medio de los circuitos IP240, IP030 e IP020.

La fuente de alimentación principal está compuesta por el amplificador operacional doble IP050 en el primario, el cual genera y conforma los impulsos de control (PWM) originados desde el secundario, seguido de una etapa en push-pull para controlar un transistor de conmutación del tipo MOSFET.

La etapa de corrección del factor de potencia (PFC) reduce el nivel de armónicos devueltos a la red eléctrica (Norma CEE - EN60555-2).

El lazo de regulación en el secundario controla dos tensiones:

- La línea PO procedente del micro-controlador valida el arranque de la fuente de alimentación en **modo adquisición**. La tensión de +6 Voltios es regulada por medio de un comparador (TP179), un modulador PWM (IP170) y el

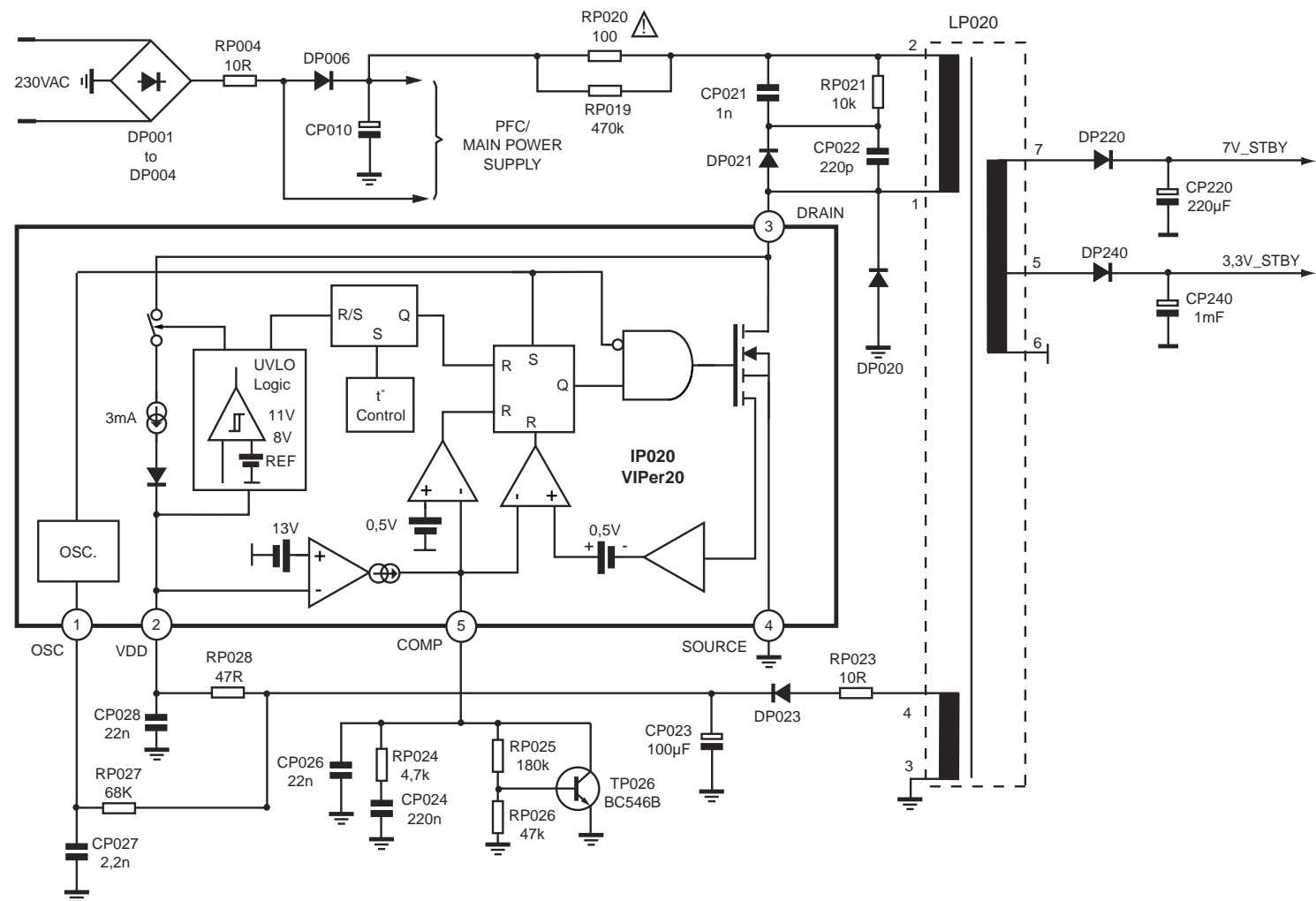
transformador LP070.

- En funcionamiento normal, después de que la base de tiempos haya arrancado, la desaparición de la orden AQR_ON procedente del micro-controlador bloquea el modo adquisición y la controla a partir de los 6 Voltios para validar la regulación de USYS en modo síncrono.

La seguridad del circuito primario está compuesta por los dos transistores TP080 y TP081 los cuales miden la corriente que atraviesa TP020 y la resistencia RP052 y su función esencial es la de detectar sobrecargas en USYS, limitando el tiempo de conducción de TP020.

La seguridad del circuito secundario controla las bajas tensiones del secundario. En el caso de una sobrecarga, anula la fuente de alimentación principal por el bloqueo de la orden de regulación.

NOTAS:



FUENTE DE ALIMENTACIÓN DE STANDBY

El componente principal de esta fuente de alimentación es el circuito VIPER20, un componente ya utilizado en el chasis ICC20, pero en esta ocasión el formato es del tipo PENTAWATT (vertical 5 patillas).

Existen otras dos diferencias importantes entre este chasis y el ICC20:

- Un lazo de regulación de la tensión (3V3_STBY) sustituye la regulación del primario.
- La frecuencia del oscilador es modificada entre los modos "ECO" y "STANDBY", y el modo de funcionamiento normal (sincronización de líneas).

FUNCIONES DEL OPERACIONAL

Arranque

Cuando la fuente de alimentación es solicitada, la patilla 2 (VDD) entrega una tensión por debajo de 11 voltios. Esto provoca la activación de un generador de corriente interno de 3 mA conectado entre la patilla 3 (drenador) y la patilla 2.

Desde que el consumo interno es de 1 mA, una corriente de 2 mA es establecida en la salida de la patilla 2, la cual carga el condensador CP023. Durante esta fase el transistor MOSFET es bloqueado.

Cuando la tensión en la patilla 2 alcanza los 11 voltios, el generador de corriente interno se corta, el oscilador arranca (patilla 1) y la función de conmutación es activada.

La carga de CP023, efectuada desde el devanado auxiliar 4/3 de LP020 y través de DP023, suministra la tensión de alimentación de la etapa de control de IP020 (patilla 2).

Para evitar problemas con tensión baja en la patilla 2, existe un detector de umbral a 8 Voltios que provoca el bloqueo del transistor MOSFET y el generador de la corriente de arranque hasta que se alcance de nuevo el umbral de 11 Voltios (histéresis).

Oscilador

La patilla 1 de IP020 corresponde a la entrada no inversora del disparador interno. La carga de CP027 por la tensión VDD a través de RP027, y su descarga por el circuito integrado, conmuta a este disparador entre los umbrales (7V, 4V), de hecho actúa como un oscilador. La frecuencia del diente de sierra resultante (patilla 1) es de 17 kHz bajo estas condiciones.

Lazo primario en el arranque

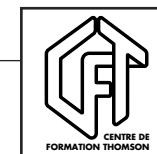
La tensión de la patilla 2 de IP020 al mismo tiempo también es aplicada internamente a un amplificador de error, donde es comparada con la tensión de referencia de 13 Voltios. Hasta que este punto de referencia es alcanzado, el amplificador de salida puede ser considerado como un generador de corriente constante; en cuanto este punto de referencia es sobrepasado, el generador de corriente de salida se invertirá. Este genera bajo estas condiciones una tensión de error en la patilla 5 (COMP) y el filtro compuesto por RP024/CP024/CP026 asegura el funcionamiento de este lazo de regulación.

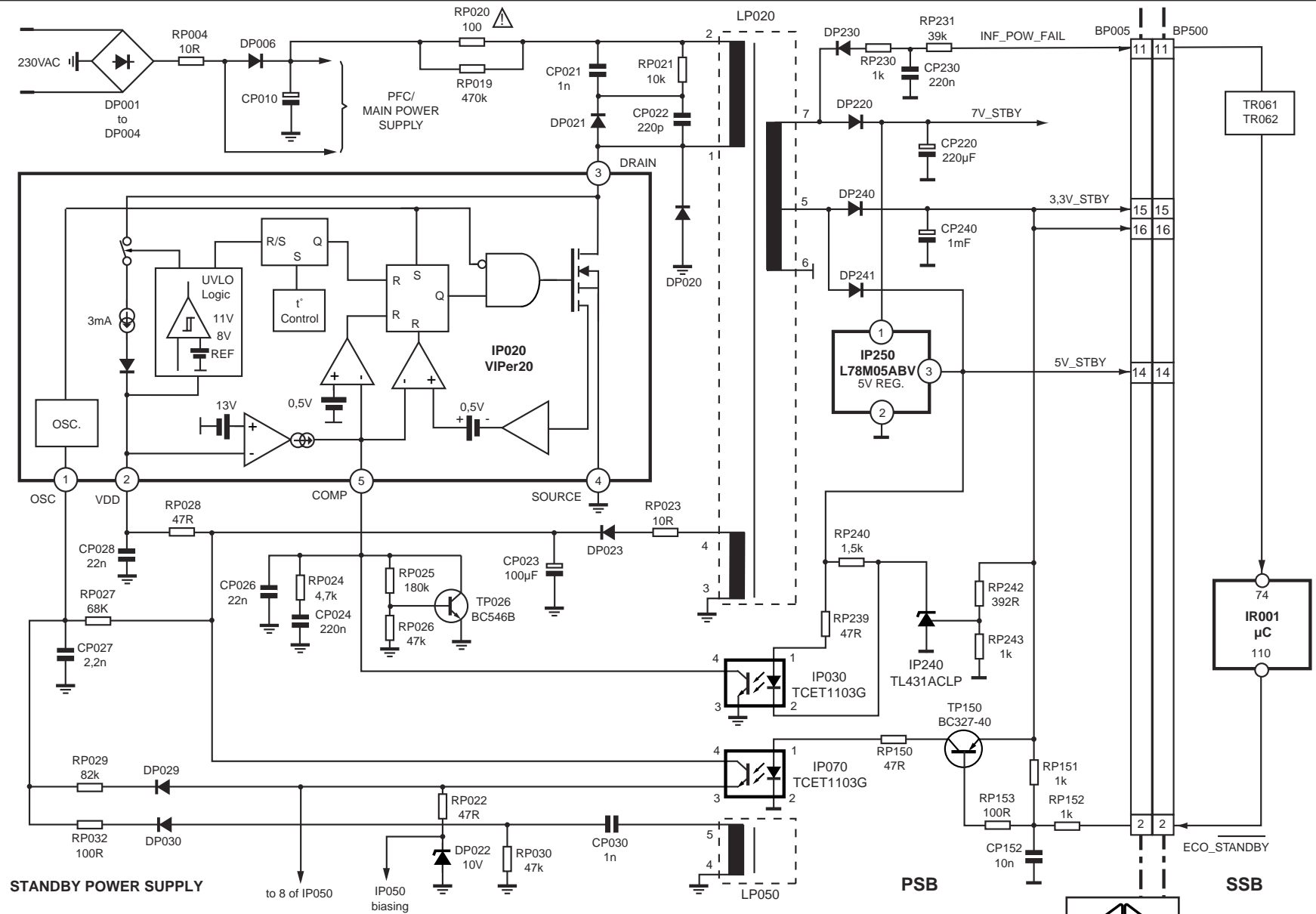
Además, la corriente principal del primario se controla internamente en IP020, y convertida a tensión. Cuando esta tensión iguala la tensión de la patilla 5, un comparador activa una báscula RS y bloquea al transistor MOSFET, esto fija el periodo de conducción (relación de trabajo, ya que la frecuencia es fijada de diferente manera).

Hay que tener en cuenta que durante el funcionamiento normal en este chasis, la tensión en la patilla 2 se mantendrá entre los 9'5 y 12 Voltios inclusive, debido a la regulación del secundario.

El transistor TP026, bloqueado para tensiones inferiores a 2 Voltios, conduce por encima de este punto, fijando de esta manera la tensión de error máxima, la cual limita la corriente del primario (por comparación interna). Esta circuitería determina la máxima potencia entregada por la fuente de standby, no teniendo ningún efecto el lazo de regulación. Desde que el consumo interno es de 1 mA, una corriente de 2 mA es suministrada en la salida.

NOTAS:





LAZO DE LA REGULACIÓN SECUNDARIA

Tres tensiones están disponibles en el secundario:

- 7V_STBY
- 5V_STBY regulados por IP250.
- 3V3_STBY

Los 3V3_STBY están regulados por medio de un zener programable IP240, y un optoacoplador IP030.

Una fracción de esta tensión es aplicada por medio del divisor RP242/243 a la entrada de referencia de IP240, donde es comparada con una referencia interna de 2'5 Voltios.

Recordamos que la corriente cátodo/ánodo en este componente tiende a disminuir cuando su entrada de referencia cae por debajo de 2'5 Voltios, y viceversa. De este modo, las variaciones de tensión en 3V3_STBY modulan la corriente en el diodo del optoacoplador IP030, el cual está montado en serie con el zener programable.

Esto valida la tensión en la patilla 5 de IP020 en la parte del primario para ser controlado por la modulación de la corriente del fototransistor de IP030 (añadiendo la desviación dependiente de la corriente de error generada por el comparador).

En este caso, en condiciones de funcionamiento normal, la patilla 2 de IP020 no alcanzará el valor de la referencia interna (13 Voltios). Sin embargo, si el lazo de regulación secundaria es abierto, esta patilla se auto ajustará a 13 Voltios, con el incremento de la tensión, la regulación del primario se reactivará automáticamente por la modulación de la corriente de salida del amplificador de error (patilla 5), el cual de esta manera limita las fluctuaciones.

CONMUTACIÓN DE LA FRECUENCIA DEL OSCILADOR

Con el fin de controlar el consumo de esta fuente de alimentación más eficazmente, la frecuencia del oscilador IP020 es cambiada en los modos ECO y standby.

En modo ECO, la salida 110 del microcontrolador permanece en estado "alto", bloqueando el transistor TP150. El optoacoplador IP070 y el diodo DP029 permanecen inactivos y la carga de CP027 sólo se efectúa por la resistencia RP027 (frec. = 17 kHz).

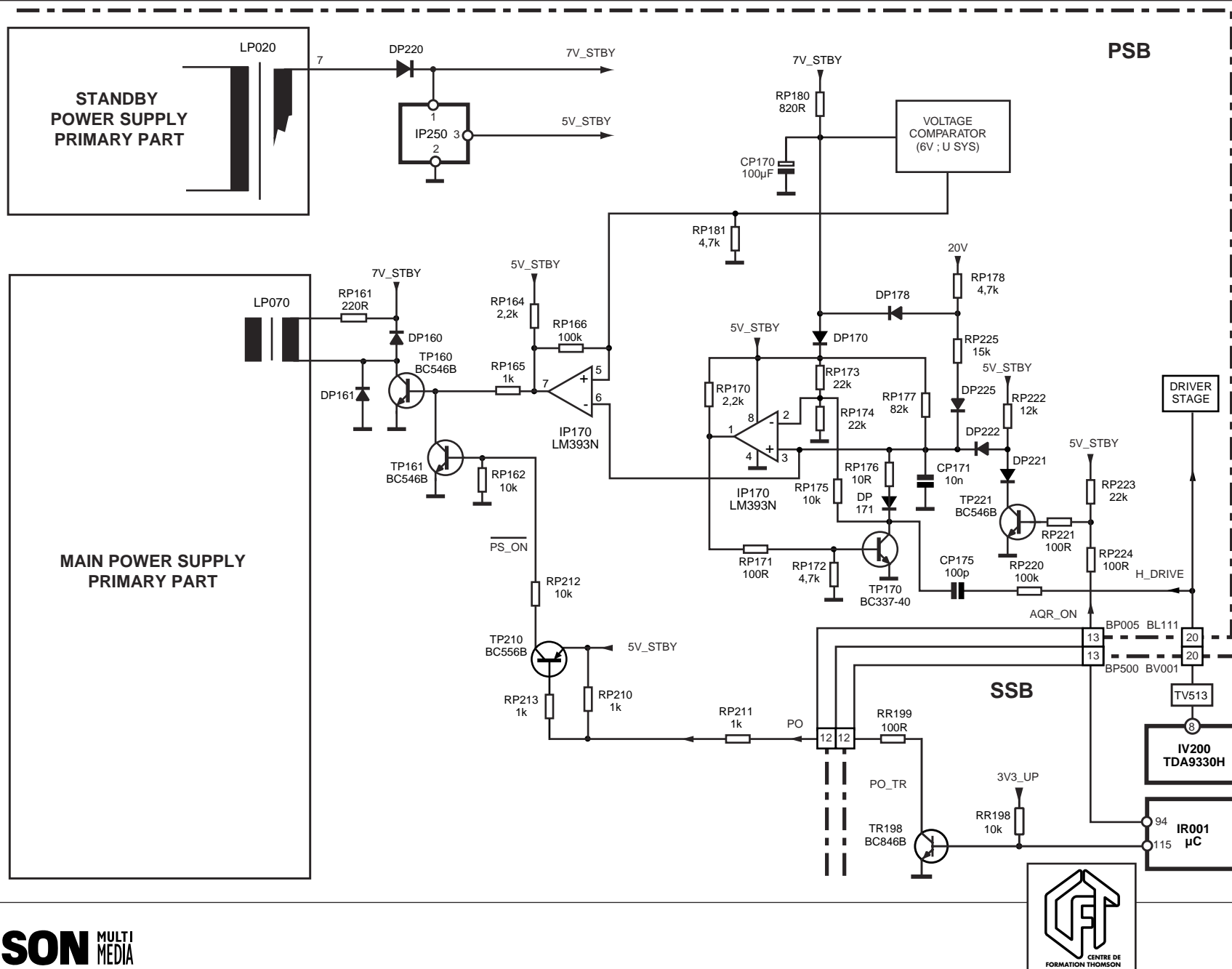
En modo standby, la patilla 110 cambia a nivel "bajo", saturando al transistor

TP150 y en consecuencia al optoacoplador IP070. Desde este momento, una corriente adicional suministrada por IP070, DP029 y RP029 acelera la carga de CP027. La carga de CP027 alcanza el umbral alto de 7 Voltios más rápidamente y la frecuencia cambia a 28 kHz.

Cuando se alcanza el funcionamiento normal, el oscilador es sincronizado con la frecuencia de líneas (32 kHz) por un impulso positivo desde la patilla 5 de LP050 conformado por CP030, DP030, RP030 y RP032.

Esto evita cualquier riesgo de interferencias entre las dos fuentes de alimentación.

NOTAS:



MODULADOR SECUNDARIO IP170 (PATILLAS 1/2/3)

Operación en modos ECO y Standby.

Este circuito diferencial doble está alimentado por los 5V_STBY, por esta razón es operativo tan pronto como se arranque el TV.

Cuando la tensión en el condensador CP171 (cargado por RP177) excede el umbral fijado por RP173/ RP174 (2'5V), el comparador IP170 por su patilla 1 satura al transistor TP170.

El transistor TP170 descarga rápidamente al condensador CP171 y reduce el umbral por medio de RP175 (RP175//RP174). Cuando CP171 alcanza este nuevo nivel, el comparador vuelve a su estado original, el transistor es bloqueado y CP171 es recargado.

Bajo estas circunstancias, se genera un diente de sierra en los terminales de CP171 y su frecuencia de funcionamiento en estos dos modos es de 2'5 kHz.

La fuente de alimentación principal queda bloqueada en estos dos modos por la desactivación de la salida PWM de este oscilador.

Modo Adquisición en el arranque.

Una vez que la fuente principal haya entregado la tensión de 20 V, una corriente adicional aparecerá en CP171 a través de las resistencias RP178/RP225 y el diodo DP225. La tensión máxima que pasará por RP225 está limitada a 6'3 voltios por los diodos DP178 y 5V_STBY. De esta manera se consigue cambiar la frecuencia a 18 kHz.

Fin del modo Adquisición y paso a funcionamiento normal.

Cuando la patilla 94 de IR001 cambia a nivel bajo (AQR_ON), el transistor TP221 y el diodo DP221 son bloqueados. Desde este momento, una nueva corriente se añade por RP222 y el diodo DP222 y la frecuencia del diente de sierra en los terminales de CP171 cambia a 28 kHz. Finalmente, la aparición de los impulsos H_DRIVE, diferenciados por CP175, sincroniza el oscilador con la frecuencia de líneas (32 kHz).

Como ya se ha dicho anteriormente, el transistor TP160 está bloqueado en los modos ECO y Standby. Esto es debido al hecho de que en la salida 115 de IR001 existe un nivel alto, saturando a los transistores TR198, TP210 y TP161. Es el cambio de la línea PO a 5 Voltios (patilla 115 de IR001 = 0) el que permite que la regulación sea efectuada por el transistor TP160 (arranque de la fuente principal en modo Adquisición).

NOTAS :



COMPARADOR DE TENSIÓN Y PWM

Funcionamiento en modo Adquisición

En este modo, la tensión de la línea AQR_ON procedente de la patilla 94 de IR001 permanece a 0'7 Voltios, saturando al transistor TP221. La consecuencia de esto es la siguiente:

- El control de la línea USYS por RP900 y RP185 es suprimido, RP183 es puesta en paralelo con las resistencias PP180 y RP184.
- El control de la línea de 6V por la conducción del transistor TP180 por DP180.
- La adición de la célula RP182/CP180 a los elementos CP182, RP181 por medio del diodo DP179.

Bajo estas circunstancias, la línea de 6V es aplicada por el puente divisor RP188, RP183, PP180 y RP184 sobre la base del transistor TP179 acoplado en el comparador y cuyo emisor está conectado a la tensión de referencia de 5'6 V. La información de error resultante se aplica por el puente divisor RP179, RP181 y RP182 a la patilla 5 de IP170 (entrada no inversora del modulador de ancho de impulsos).

Como consecuencia, impulsos de una frecuencia igual a la del generador (de 2'5 kHz a 18kHz) y con una relación de factor de trabajo variable son amplificados por el transistor TP160 y después aplicados al primario por medio del transformador de impulsos LP070.

Funcionamiento en modo estable (normal).

Una vez que la línea AQR_ON ha cambiado a nivel bajo, el transistor TP221 es bloqueado. Las consecuencias de esto, son las siguientes :

- Control de la línea USYS por RP900, 185 y 183
- Control de la línea de 6V por la eliminación del bloqueo de TP180.
- La célula RP182/CP180 también es suprimida.

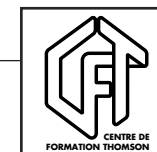
Desde el momento del arranque, una fracción de USYS (ajustada con el potenciómetro PP180), es comparada con la tensión de referencia de 5'6 Voltios utilizando para ello el transistor TP179. La información de error resultante, es aplicada al modulador de ancho de impulsos, cuya frecuencia es cambiada a 28 kHz (debido al efecto de bloqueo de TP221 en el generador de diente de sierra) y después a 32 kHz (sincronización del generador con las señales H_DRIVE).

Finalidad del transistor TP161

El objetivo es el de bloquear la regulación secundaria forzando la tensión de base de TP160 a masa. Desempeña diferentes funciones dependiendo del modo:

- En los modos ECO y Standby, mantiene la fuente de alimentación principal inactiva. Esto se consigue manteniendo la línea PO a nivel bajo y por la saturación de los transistores TP210 y TP161.
- En los modos Adquisición y Estable (funcionamiento normal), impide que llegue una nueva orden de saturación al transistor de conmutación hasta que no haya terminado la fase de desmagnetización (transferencia de energía a los secundarios). Desde el momento en que el transistor TP210 es bloqueado (línea PO = 5 Voltios), TP160 es controlado por la tensión de retorno de líneas (patilla 22 de LP050) durante la fase de transferencia de energía.
- Si el dispositivo de seguridad secundaria es disparado.

NOTAS:



ETAPA DE CONTROL DEL PRIMARIO, TP020

Alimentación en el arranque y autoalimentación.

Esto está asegurado por el primario de la fuente de alimentación (CP023) tan pronto como esté en modo Standby, gracias a la conducción del optoacoplador IP070 (TP150 saturado por la patilla 110 de IR001). La resistencia RP031 limita la corriente del optoacoplador en el caso de un cortocircuito en IP050. Mientras tanto, RP050 limita la corriente cuando CP062 está siendo cargado, para que la tensión en CP023 no disminuya demasiado (riesgo de corte de la fuente de standby).

Cuando la línea PO sube a 5 Voltios permite que la señal PWM llegue al transistor TP160, la fuente de alimentación principal arranca y asegura su propia alimentación por medio de las patillas 4 y 5 de LP050 y el diodo DP061. El diodo DP060 pone en cortocircuito la resistencia RP060 para alimentar correctamente a IP050 durante el arranque.

Procesamiento de la señal de control

Los impulsos de control para la regulación secundaria procedentes del transformador LP070, son primero procesados por 2 comparadores contenidos en el mismo encapsulado (IP050, LM393N):

- El primer comparador conforma los impulsos de regulación comparándolos con una tensión de umbral suministrada por el diodo zener de 10 Voltios DP022 y el divisor de tensión RP069, RP070. La resistencia RP068 acelera las transiciones.
- La salida (patilla 7) del primer circuito es comparado con un segundo umbral (patilla 2 de IP050). Este está fijado por el divisor de tensión RP064 y RP066 de manera que los impulsos resultantes en la salida de la patilla 1, tengan la amplitud correcta cuando se solicita el arranque de la fuente principal o es detenida (por la protección de TP020). Este segundo comparador controla la etapa push-pull, compuesta por los transistores TP050 y TP051, los cuales controlan la tensión de polarización de puerta de TP020 a través de RP053.

Seguridades del primario y desmagnetización del transformador

La medida de la corriente del primario es tomada en los terminales de la resistencia RP052 (TP020) y es aplicada a la base de TP080 después de adaptarla por un divisor de tensión compuesto por RP072, RP073 y RP074. Durante una sobrecarga o un cortocircuito en USYS, el transistor TP080 se

saturará y permanecerá en ese estado por el efecto basculante del transistor TP081. TP020 también permanecerá bloqueado por un nivel bajo en la entrada del driver push-pull (por medio del diodo DP080).

El final del impulso que produjo el exceso de corriente en TP020 provoca un estado bajo en la salida del primer comparador (patilla 7). Esto asegurará que la etapa de seguridades se inicialice por el diodo DP081.

NOTAS :



ALIMENTACIÓN Y CONTROL DEL PRIMARIO CON IP050

Circuito de corrección del factor de potencia.

La norma de la Comunidad Europea EN605556-2 limita la amplitud de los armónicos devueltos a la red eléctrica. Para conseguirlo, el devanado primario de LP050 está conectado al puente rectificador por medio de un circuito de control del factor de potencia.

Este circuito incluye el diodo DP006, el cual aísla la tensión filtrada en los terminales del condensador CP010 de la salida del puente rectificador con el fin de generar una tensión residual de 160 Vcc aproximadamente en éste último. También, una toma intermedia en el devanado primario lo divide de manera que cuando el transistor TP020 conduce, la tensión en este punto intermedio es por lo menos igual a una tensión de aproximadamente 240V DC de la tensión total (~320V DC). De esta manera, tan pronto como la tensión rectificada (salida del puente rectificador) excede este valor, el diodo DP008 conduce y la corriente es tomada directamente de la red a través del puente rectificador.

Como resultado, el condensador CP010 es solicitado un menor tiempo (necesita una menor corriente de carga) y la corriente de la red se utiliza durante una fracción de tiempo mayor cada semiperiodo. Los impulsos de corriente tomados desde la red como consecuencia, generan una menor cantidad de armónicos.

TP020 y su entorno

El push-pull entrega la tensión de control de puerta de TP020 durante la fase de saturación o la deriva a masa durante la fase de bloqueo.

La resistencia RP053 limita la corriente durante la fase de saturación de TP020.

La resistencia RP055 fija la tensión de control de puerta de TP020 y el diodo zener DP053 la protege contra sobretensiones .

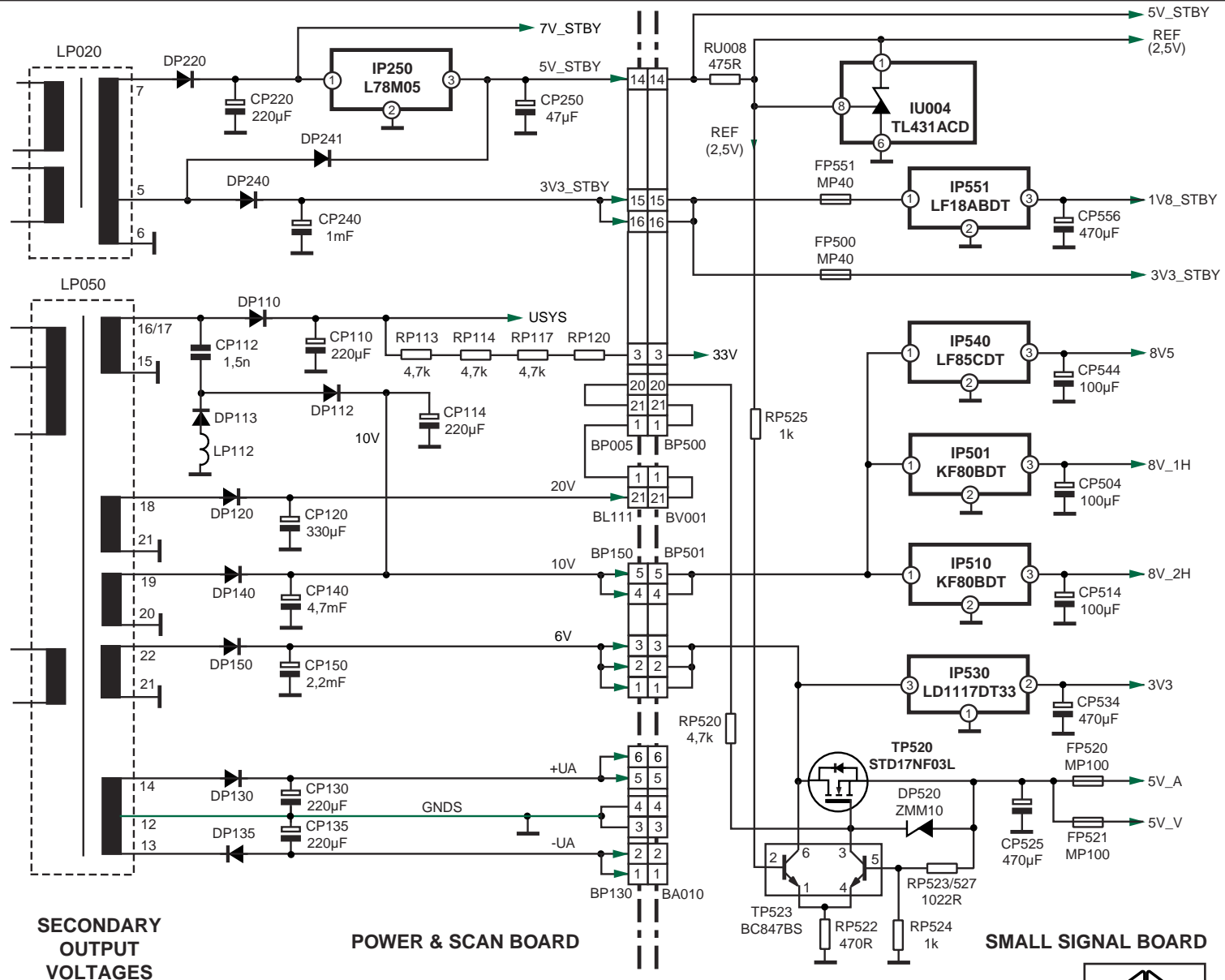
Los condensadores CP056 y CP053 reducen los picos generados por las conmutaciones de la señal.

El circuito CP052, DP051 amortigua el impulso de subida de la tensión de drenador de TP020 cuando es bloqueado, esto reduce la oscilación y limita la sobretensión . La resistencia RP051 limita la corriente cuando TP020 es nuevamente saturado (carga de CP052), y los componentes CP051 y LP051 reducen la radiación.

En el secundario, el condensador CP112 también contribuye a limitar las sobretensiones . Para conseguirlo, durante la fase de saturación de TP020 el diodo DP113 carga negativamente a CP112. Cuando TP020 es bloqueado, el aumento de potencial en la patilla 16 ó 17, rápidamente provoca la conducción del diodo DP112 por medio de la carga del condensador CP112 (tensión mayor de 10V en el ánodo de DP112). Mientras conduce, el condensador CP112 estará en paralelo con el devanado secundario a través de DP112 y la tensión de 10 Voltios.

El choque LP112 fija la carga gradual de corriente de CP112, mientras que el diodo DP111 entrega la energía almacenada en esta bobina. Finalmente la célula (CP114, LP114) reduce las posibles interferencias en la imagen.

NOTAS:



DISTRIBUCIÓN DE LAS TENSIONES SECUNDARIAS

Los devanados secundarios de la fuente de alimentación entregan 6 tensiones directas presentes en la placa de alimentación, de las cuales 5 son estabilizadas por reguladores.

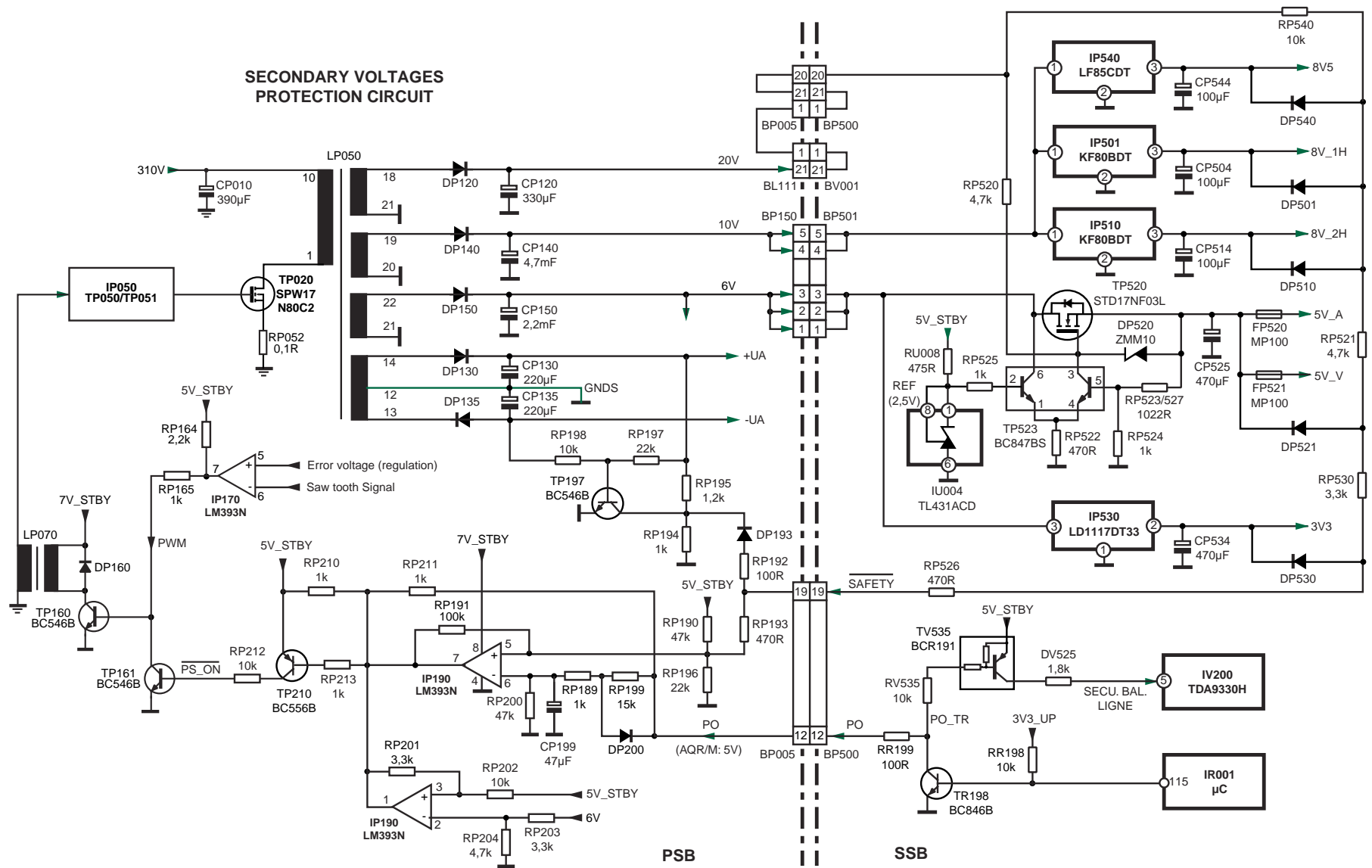
Localizados en la placa de señal se encuentran:

- +USYS por D110 y CP110. Dependiendo del tipo de chasis, esta tensión está comprendida entre 106 y 137 V. Hay que hacer notar que durante el arranque (regulación de 6V correspondiente al modo adquisición), la tensión +USYS alcanza alrededor de 190 Voltios. Se utiliza para alimentar la base de tiempos de líneas y el circuito de los diodos varicap de sintonía (RP113 a RP120).
- +UA y -UA, alimentación simétrica para la etapa de audio. Su valor es de +18 Voltios y -17'2 Voltios respectivamente (mute).
- +10V a través de DP140 y CP140 (11'5V en funcionamiento normal). Con esta tensión se alimentan varios reguladores de 8V montados en la placa de pequeña señal (SSB):
 - 8V5 por IP540 (LF85CDT). Esta tensión alimenta principalmente a las etapas de RF, FI y las entradas auxiliares.
 - 8V_1H por IP501 (KF80BDT). Esta tensión alimenta al procesamiento de "1H" situado entre la conmutación y los convertidores D/A (TDA9321).
 - 8V_2H por IP510 (KF80BDT). Esta tensión es el origen de +8V_YV y +8V_VP, las cuales alimentan el procesamiento de "2H" (TDA9178 y TDA9330H).
- +20V, rectificadas por DP120. Estos alimentan la etapa driver y también se utilizan para obtener una tensión auxiliar (5V para alimentar módulos externos). Pasando a través de enlaces externos, esta tensión también ayuda a comprobar que los módulos externos están correctamente insertados en los conectores (mecanismo de seguridad secundaria).
- +6V por medio de DP150 para obtener las tensiones estabilizadas de 5 Voltios y 3'3 Voltios en la placa de señal. Estos últimos, para alimentar la parte digital del chasis:
- La etapa diferencial TP523 asegura que los 5 Voltios son regulados por la comparación de una fracción de esta tensión (patilla 5 por RP523/527/524) con la tensión de referencia REF (patilla 2) producida por el diodo shunt programable IU004. Cualquier diferencia se traduce en una variación de tensión en la patilla 3. Esta activa el control de TP520 y de esta manera se

restablece el equilibrio. El zener DP520 protege la puerta del transistor contra descargas electroestáticas.

- El circuito integrado IP530 (LD1117DT33) suministra los 3'3 V necesarios para el convertidor de 100 Hz.

NOTAS :



PRINCIPIO DE LA SEGURIDAD SECUNDARIA

Un cortocircuito o una sobrecarga importante en cualquier secundario que no sea USYS, no es detectado por el circuito de seguridad del primario (por razones de relación de acoplamiento primario / secundario). Por esta razón, una etapa de seguridad secundaria compensa este inconveniente.

Esta etapa incluye el segundo comparador montado en IP190, y monitoriza las tensiones +/-UA, 20V, 8V5, 8V_1H, 8V_2H, 5V, 3V3, así como las conexiones de los conectores BP005 y BL111 para garantizar la correcta interconexión entre las dos placas.

Cuando la fuente de alimentación principal es inicializada por un nivel alto en la línea PO, la entrada inversora de IP190 (patilla 6) cambia a 3'7 Voltios después de un retardo de aproximadamente 1'5 segundos debido a la constante de tiempo RP199, CP199.

Durante este tiempo, las tensiones del secundario 8V5, 8V_1H, 8V_2H, 5V y 3V3 tienen que estar presentes. Como resultado, hay un nivel alto de 4'4V en la entrada no inversora de IP190 (patilla 5) a través de la red de resistencias RP540, 521, 530, 526, 193 y la tensión de 20V (CTN2_20).

En estas condiciones, la salida de IP170 (patilla 7) está a nivel alto.

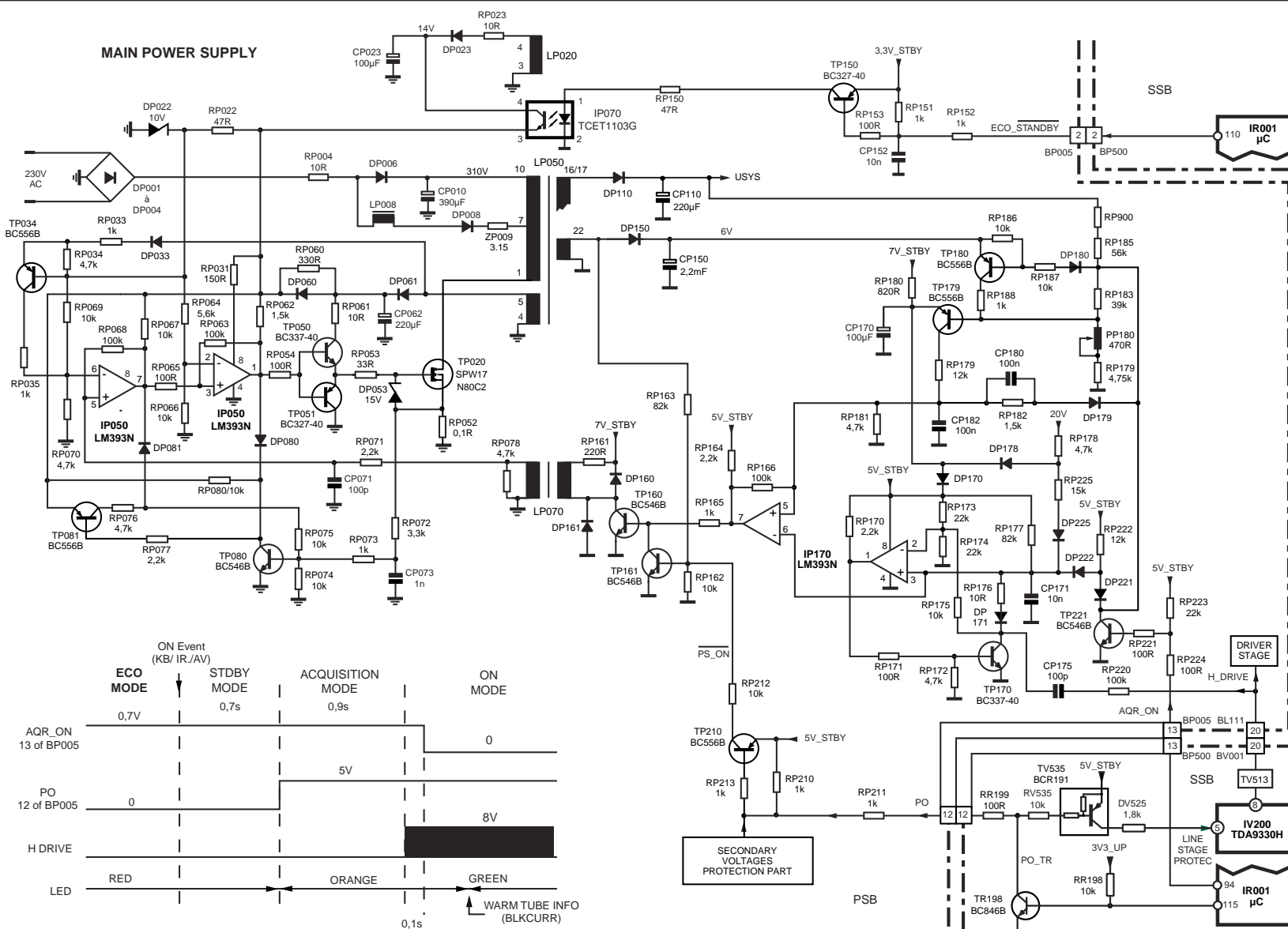
En el caso de una sobrecarga en una de las tensiones en cuestión (tensión menor del 50% del valor nominal), una parte de la red de resistencias es derivada por la conducción de uno de los diodos DP540, DP501, 510, 521 ó DP530 (sobrecarga en los 8'5V, 8V_1H, 8V_2H, 5V o 3V3). Como resultado, la tensión en la patilla 5 de IP190 disminuye por debajo de los 3'7 Voltios y su salida (patilla 7) cambia a nivel bajo. Esto fuerza la conducción de los transistores TP210 y TP161 y la desactivación de la función de regulación PWM por el bloqueo del transistor TP160. De esta manera, la fuente principal es detenida para proteger al circuito secundario en dificultades.

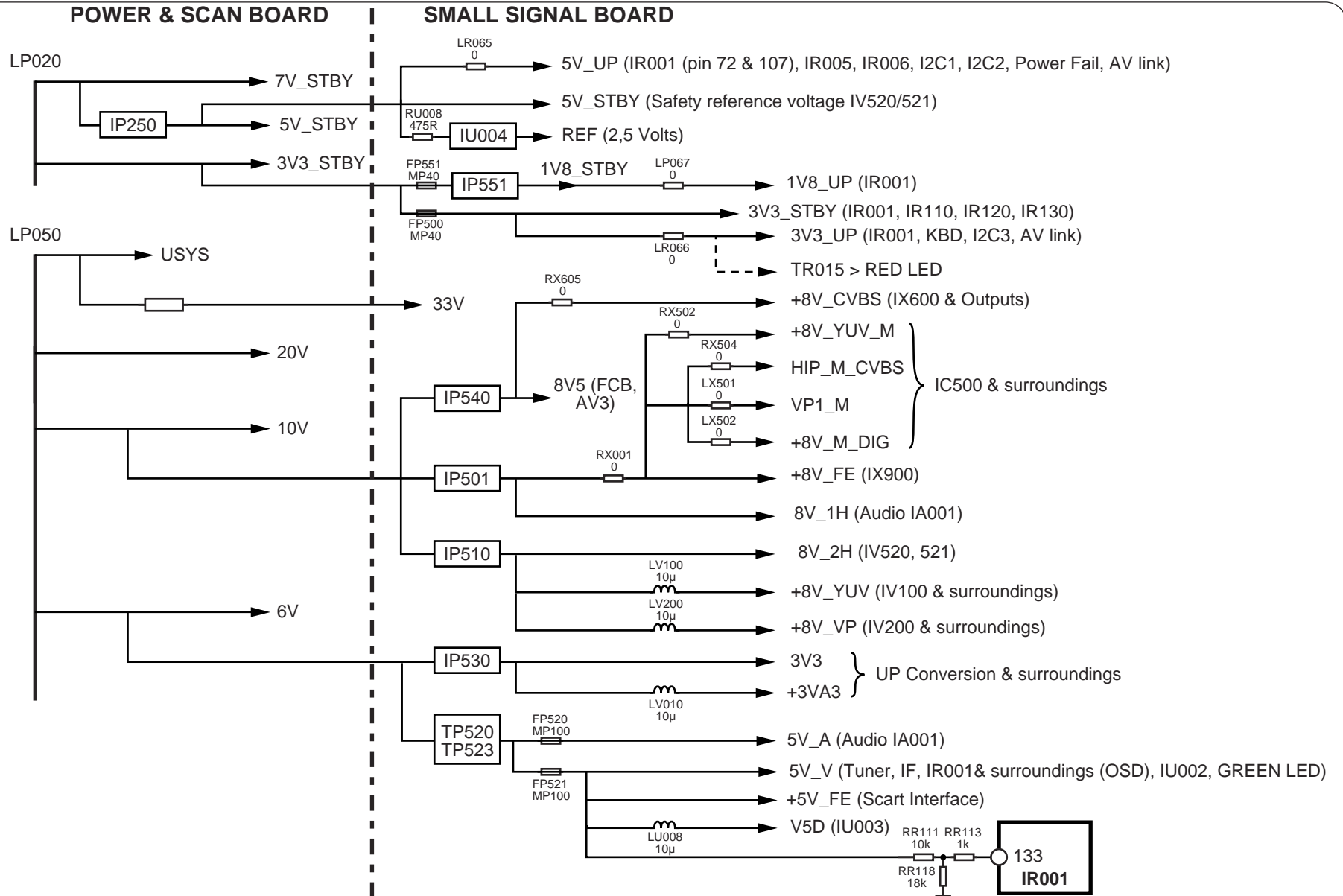
Si uno de los conectores BP005 o BL111 no hacen contacto en toda su longitud, la tensión de +20V que sale y vuelve a entrar por las patillas extremas de ambos conectores al abrirse, tienen las mismas consecuencias sobre IP190 y sobre la fuente principal.

Una sobrecarga en +UA se detectará en la patilla 5 de IP190 a través de RP195 y DP193, mientras que una sobrecarga en -UA provocará la saturación del transistor TP197 por medio del divisor de tensión RP197, RP198 con las mismas consecuencias en IP190 a través de DP193.

También la función de seguridad por sobrecarga del primer comparador de IP190 (patillas 1/2/3), será activado si el lazo de regulación (señal PWM) se abre. Para conseguirlo, los 6V son comparados por medio del divisor RP203, RP204 (3'5 V en la patilla 2 de IP190) con la tensión de referencia 5V_STBY (patilla 3). Si por causa de una avería, la tensión de 6 Voltios supera el umbral de los 8'5 Voltios, la salida del comparador (patilla 1) cambiará a nivel bajo dando como resultado la saturación de los transistores TP210 y TP161 y el bloqueo de TP160.

NOTAS:





GESTION

CONTENIDO

IR001, ALIMENTACIÓN, CLOCK, RESET, HALT

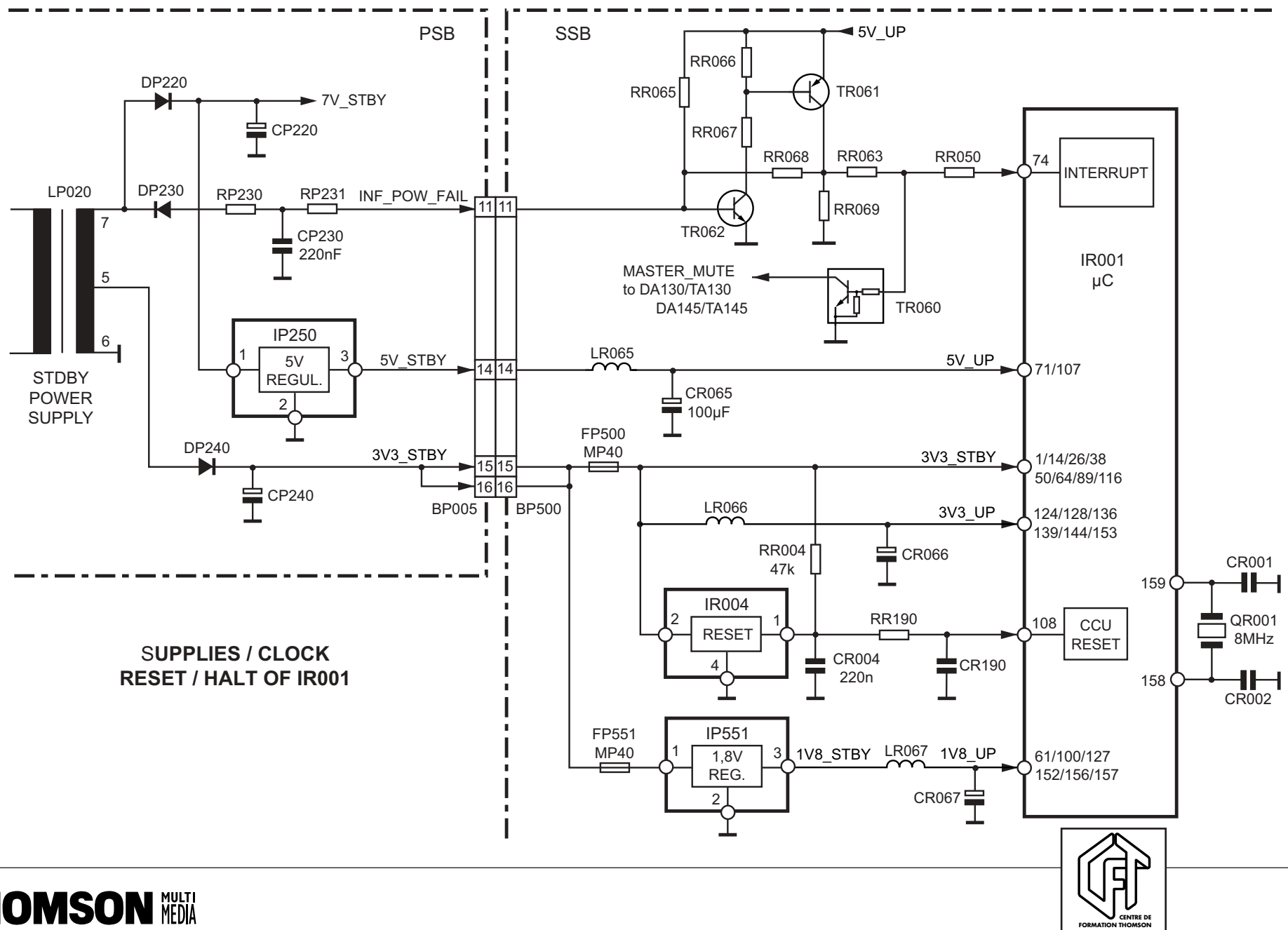
TECLADO / TELEMANDO

EL μ C IR001 Y SU ENTORNO

MODOS DE FUNCIONAMIENTO

OSD / TELETEXTO

CÓDIGOS DE ERROR



IR001, ALIMENTACIÓN

Se utilizan las tensiones 5V_STBY y 3V3_STBY, procedentes de la fuente de alimentación de standby. La tensión 1V8_STBY, obtenida desde los 3V3_STBY y estabilizada por IP551, alimenta la unidad central de IR001.

IR001, CLOCK

Un conjunto VCO/PLL interno en IR001 controla al microprocesador. El cristal de cuarzo QR001 de 8MHz actúa como referencia para el PLL. La frecuencia de funcionamiento del VCO es de 4MHz en modo ECO y 72MHz en los modos standby, adquisición y funcionamiento normal.

IR001, RESET

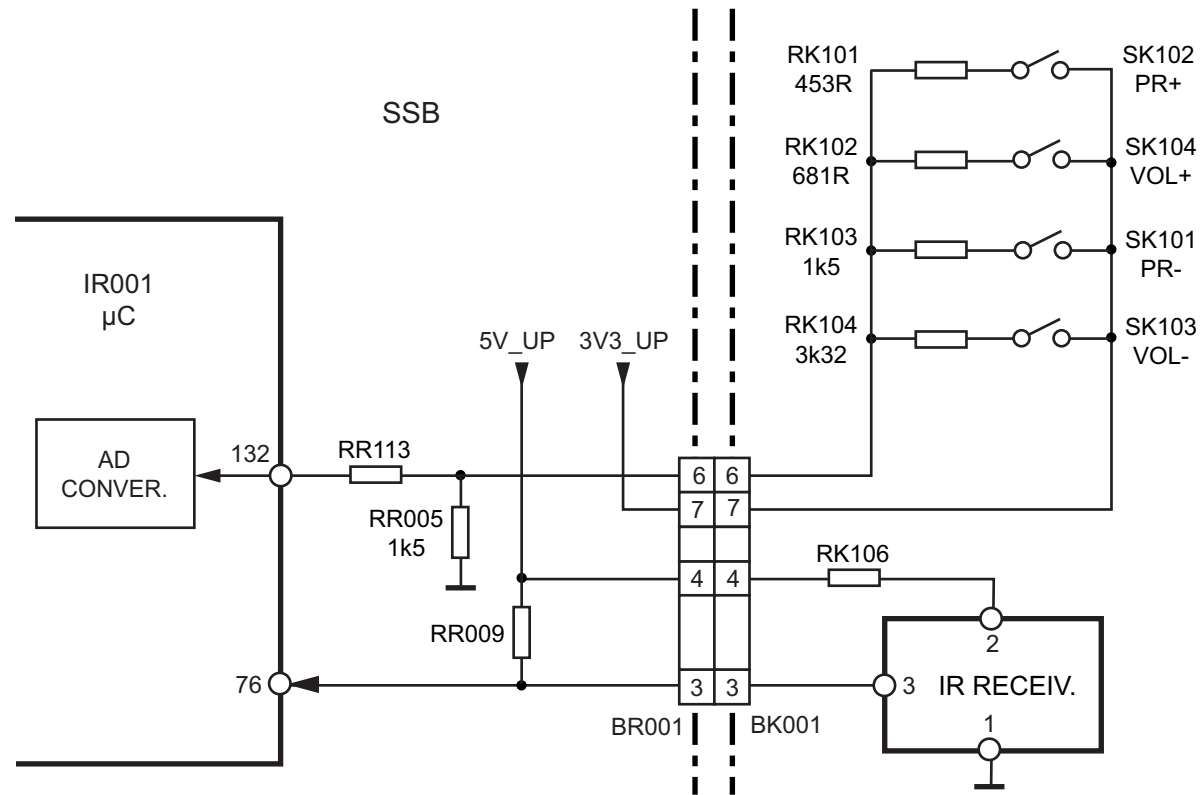
Las constantes de tiempo RR004/CR004 componen los elementos del reset. El circuito integrado IR004 permite que el condensador CR004 sea cargado cuando la tensión en su patilla 2 supera los 3V. La patilla 108 de IR001 es la encargada de recibir la información de RESET.

IR001, HALT

La etapa detectora de corte de tensión de red, permite que la configuración del TV sea grabada en el caso de un corte de la tensión de red. La rectificación y filtrado de la tensión inducida de la patilla 7 de LP020 por DP230 y CP230 suministra una tensión de unos 40V. Como consecuencia, los transistores TR062 y TR061 permanecen bloqueados y la patilla 74 de IR001 es mantenida a cero. Si la tensión alterna de la red disminuye por debajo de 160V, los transistores TR062 y TR061 son saturados y la patilla 74 de IR001 cambia a nivel alto (> 4V). En ese momento se realiza la grabación de los datos. Además, cuando el transistor TR060 es saturado, se activa el mute de audio.

NOTAS

KEY BOARD / INFRARED RECEIVER



TECLADO

El teclado está compuesto por divisores resistivos. El margen de la tensión continua de la patilla 132 es el siguiente :

- PR+: de 2'51V a 2'78V.
- V+: de 2'23V a 2'5V.
- PR- y V-: de 1'9V a 2'17V (modo servicio).
- PR-: de 1'59V a 1'86V.
- V-: de 0'94V a 1'21V.
- Sin función : de 0 a 0'42V.

TELEMANDO

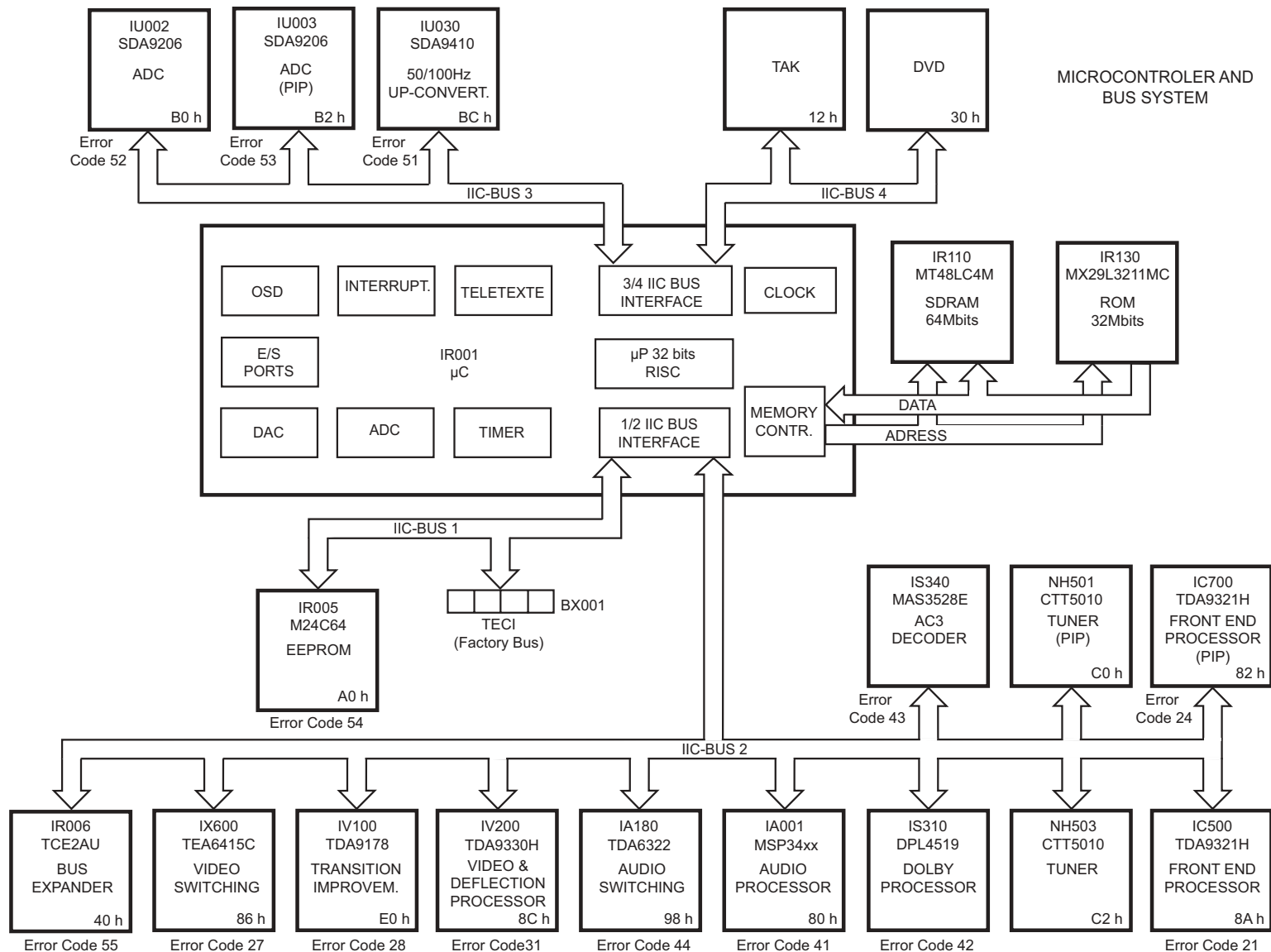
Los códigos del telemando entran por la patilla 76 de IR001. Se componen de:

- 4 bits de direcciones.
- 1 bit de llamada.
- 7 bits de función, definidos por la tecla que se pulse.

El nivel alto de los impulsos debe ser superior a 4'5V. El nivel bajo, debe ser inferior a 0'6V.

Mientras una tecla sea pulsada, estos códigos son repetidos cada 80ms.

NOTAS



EL μ C IR001 Y SU ENTORNO

El μ C IR001 está conectado a tres memorias:

- La memoria ROM IR130 con una capacidad de 32 MB, almacena los datos del software y los valores por defecto del modo servicio.
- La memoria EEPROM IR005 con una capacidad de 64 KB, contiene los datos del modo servicio, canales del TV y valores analógicos,. El bus que controla esta memoria es el IIC1.
- La memoria SDRAM IR110 con una capacidad de 64 MB, almacena los datos y el teletexto.

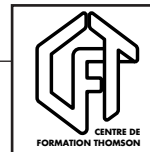
El μ C IR001 controla varios circuitos integrados y el sintonizador, por los buses IIC1, IIC2, IIC3 y IIC4. Los códigos de error y las direcciones están descritos en la placa correspondiente.

El bus IIC1 es activo en los modos siguientes: ECO (TECI), STANDBY, ADQUISICIÓN y RUN (NORMAL).

Los buses IIC2 y IIC4 son activos en: STANDBY, ADQUISICIÓN y RUN (NORMAL).

El bus IIC3 es activo en los modos : ADQUISICIÓN y RUN (NORMAL).

NOTAS



MODOS DE FUNCIONAMIENTO

El chasis ICC21 tiene 4 modos de funcionamiento.

MODO ECO

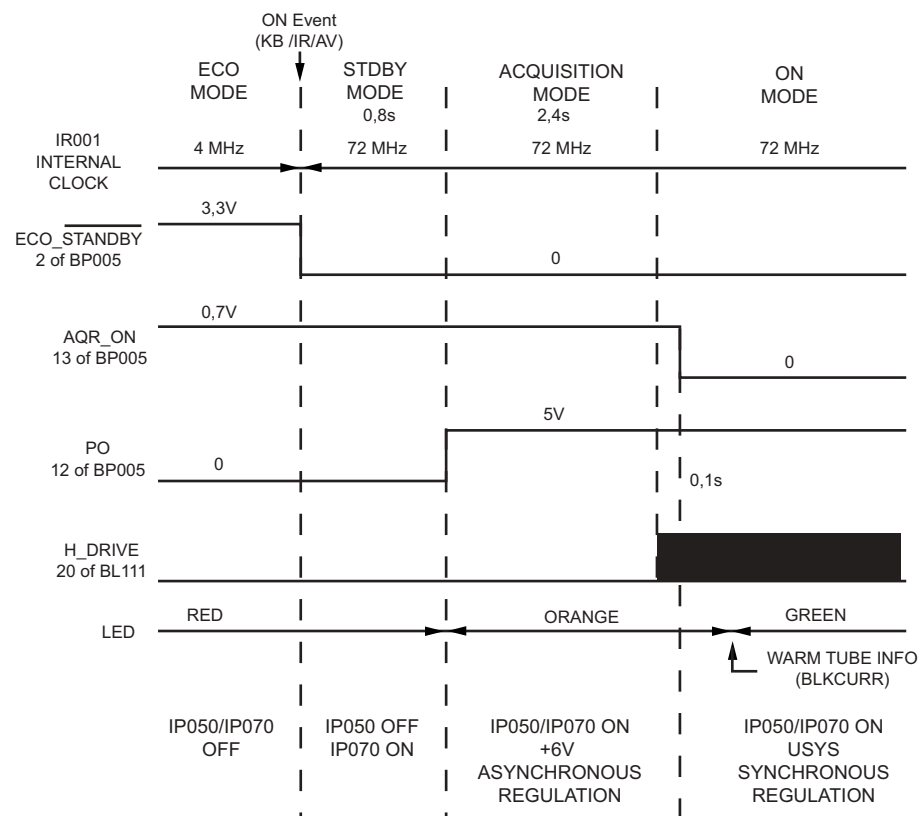
En este modo, el μ C (IR001), la ROM (IR130), la EEPROM (IR005), la SDRAM (IR110), el teclado y el receptor de infrarrojos están alimentados por 5V_STBY y 3V3_STBY desde la fuente de alimentación de standby. La frecuencia del reloj interno de IR001 es de 4MHz. El diodo LED rojo se encenderá (0V en IR001, patilla 123) tan pronto como el reset de IR001 haya finalizado. Un subprograma interno de IR001 comprueba constantemente si una orden es recibida desde el teclado, del receptor de infrarrojos, AV o de la función "despertador". Si la función "despertador" está activada, el diodo LED rojo parpadeará.

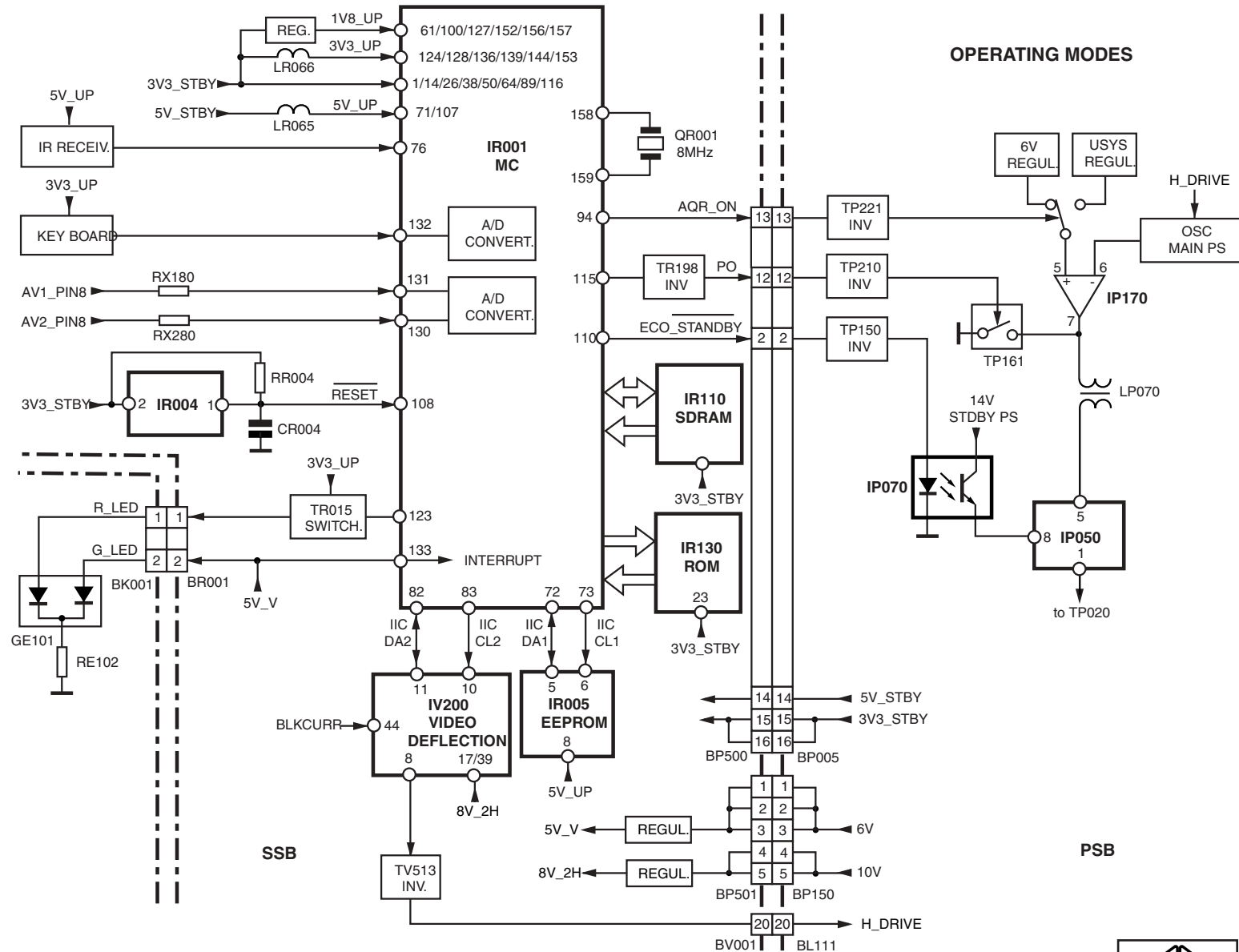
MODO STANDBY

En este modo, el μ C (IR001), la ROM (IR130), la EEPROM (IR005), la SDRAM (IR110), el teclado y el receptor de infrarrojos están alimentados por 5V_STBY y 3V3_STBY desde la fuente de alimentación de standby. La frecuencia del reloj interno de IR001 es de 72 MHz. El software toma el control de todos los puertos. El diodo LED rojo se encenderá (0V en IR001, patilla 123). el μ C IR001, por medio del bus IIC1, analiza la memoria NVM IR005. La salida de la patilla 110 de IR001 pasa a nivel bajo y es alimentado el circuito integrado IP050 a través del optoacoplador IP070.

TENER EN CUENTA QUE :

Cuando el TV es encendido, siempre arranca en modo ECO, pero rápidamente se pasa al modo STANDBY. En este modo, el μ C IR001 analiza la memoria NVM IR005. Dependiendo de su contenido (el cual depende de la condición en que se apagó el TV la última vez), el μ C IR001 continuará el restablecimiento de la función RUN (funcionamiento normal) o lo desconectará pasando al modo ECO.





MODO ADQUISICIÓN

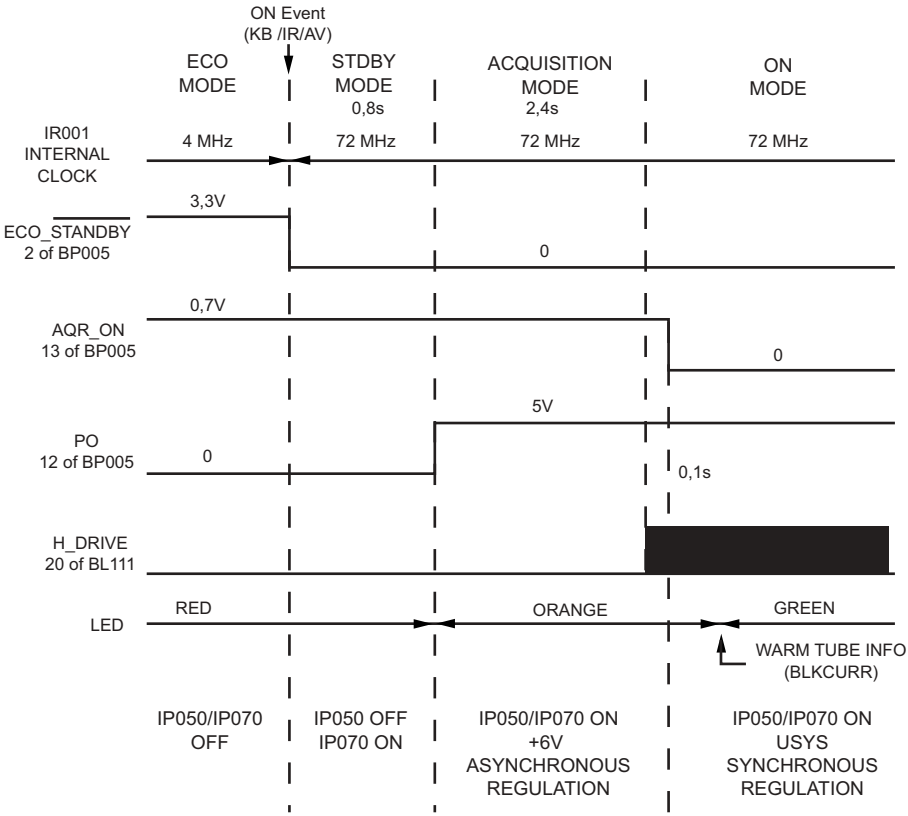
En este modo, la fuente de alimentación principal es puesta en marcha por la señal PO (5V en patilla 12 de BP005). Esta es una regulación asíncrona y la tensión controlada es la de +6V. Por la presencia de 5V_V, el LED pasa a color naranja. Las bases de tiempos están inactivas. Este modo es utilizado para cargar los datos IT (módulo TAK).

MODO RUN (FUNCIONAMIENTO NORMAL)

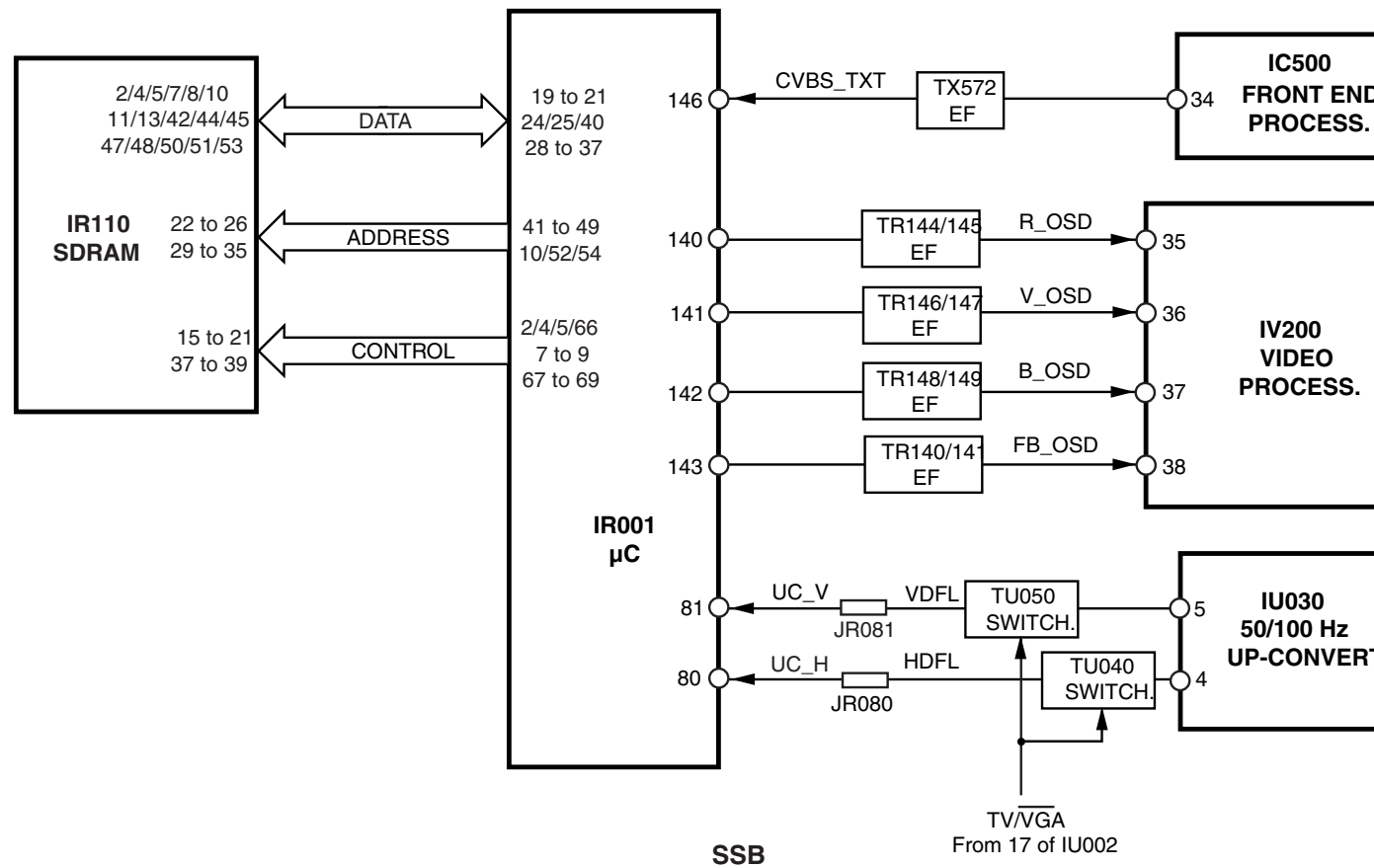
Las bases de tiempos son inicializadas por el bus IIC2, la señal AQR_ON (0 en BP005, patilla 13) activa la regulación de la fuente de alimentación principal. Esta es ahora sincronizada con líneas y la tensión controlada es USYS. Cuando la información de tubo caliente (BLKCURRE) es suficiente, el LED rojo se apagará, los valores analógicos serán cargados y se activarán las órdenes externas.

IR001 PATILLA 133

Esta patilla monitoriza la tensión de 5V_V durante los modos adquisición y run (funcionamiento normal). Si esta tensión no está presente o es inferior a 4V, se pasa al modo seguridad (después de 3 intentos, se mostrará permanentemente el código de error 61).



O.S.D. / TELETEXTE



OSD Y TELETEXTO

El circuito integrado IR001 gestiona los menús y el teletexto. En la memoria (SDRAM) IR110 se almacenan las páginas del teletexto.

Los datos del teletexto son extraídos desde la señal CVBS_TXT entrando por la patilla 146 de IR001. Las señales de RGB (0'7 Vp/p) y la conmutación rápida (1'5Vp/p) están disponibles en las patillas 140 a 143 de IR001.

Las señales VDFL (3Vp/p, retorno de cuadros) y HDFL (3Vp/p, retorno de líneas) garantizan la posición correcta.

La finalidad del módulo SUB OSD es evitar los problemas de bloqueo de IR001 con el teletexto y el OSD. Los impulsos de sincronización peligrosos resultantes de un cambio de fuente de señal o diferencias de fase (Durante la búsqueda en un vídeo, por ejemplo), son detectados y la ventana es generada desde los impulsos internos (H y V).

NOTAS

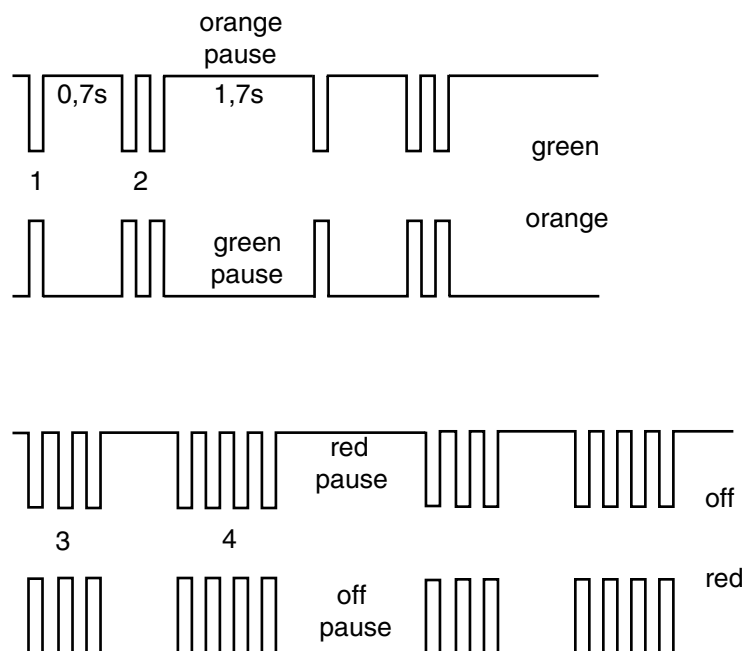
CÓDIGOS DE ERROR

Estos códigos de error son mostrados por el diodo LED rojo del frontal, pero sólo podrán ser mostrados si funciona correctamente el μC .

Cada código está dividido en 2 trenes de impulsos separados por una pausa de 0'7 segundos y la separación entre códigos es de 1'7 segundos. Los códigos son repetidos constantemente.

FORMAS DE ONDA DE LAS SEÑALES EN BR001

Existen 4 formas de onda posibles, dependiendo de si el TV está en standby o está funcionando y el estado del LED sea: apagado, rojo, naranja o verde.



LISTA DE LOS CÓDIGOS DE ERROR

CODES	DEFAULTS	CODES	DEFAULTS
11	I2C Bus_1 Data line held low	35	Deflection: Oscillator is not locked. NRF bit problem (only factory information)
12	I2C Bus_1 Clock line held low	36	Deflection: Tube gets not warm in time.
13	I2C Bus_2 Data line held low	37	Deflection: Vertical problem.
14	I2C Bus_2 Clock line held low	41	Audio: MSP 34xx/44xx doesn't answer (or 5V_A not available)
15	I2C Bus_3 Data line held low	42	Audio: Dolby DPL4519 doesn't answer anymore
16	I2C Bus_3 Clock line held low	43	Audio: AC3 Decoder MAS3528 doesn't answer anymore
17	I2C Bus_4 Data line held low	44	Audio: Centre switch TEA6422 doesn't answer anymore
18	I2C Bus_4 Clock line held low	45	Audio: Wrong MSP is fitted
21	Video: Master-HIP 1st TDA9321 doesn't answer anymore	46	Audio: Connection problem to digital Dolby board
22	Video: Power down detection (Vcc 1st HIP)	51	Upconverter: SDA9410 doesn't answer anymore
23	Video: Correct Xtal. ident. (1st HIP)	52	A/D: Master ADC 1st SDA9206 doesn't answer anymore
24	Video: Slave-HIP 2nd TDA9321 not acknowledged	53	A/D: Slave ADC 2nd SDA9206 doesn't answer anymore
25	Video: Power down detection (Vcc 2nd HIP)	54	The NVM chip M24C64 doesn't answer anymore
26	Video: Correct Xtal. ident. (2nd HIP)	55	The Portexpander TCE2ACU doesn't answer anymore
27	Video: Switch TEA6415C doesn't answer anymore (or 8V_5 not available).	61	HW: Switch 5V (5V_V) not available
28	PSI: TDA9178 doesn't answer anymore	62	HW: Switch 5V (5V_V) and 8V (8V_V) not available
29	PSI: Power down detection (Vcc PSI)	63	HW: Unexpected level on Power_fail found (Mains to low)
31	Deflection: TDA9330 (HOP) doesn't answer anymore		
32	Deflection: Power down detection (Vcc HOP)		
33	Deflection: Safety circuit has detected a problem.		
34	Deflection: Horizontal flyback problem . NHF bit problem (only factory information)		

BASES DE TIEMPOS

CONTENIDO

ETAPA GENERADORA DE LÍNEAS

ETAPA DEL DRIVER DE LÍNEAS

ETAPA DE POTENCIA DE LÍNEAS

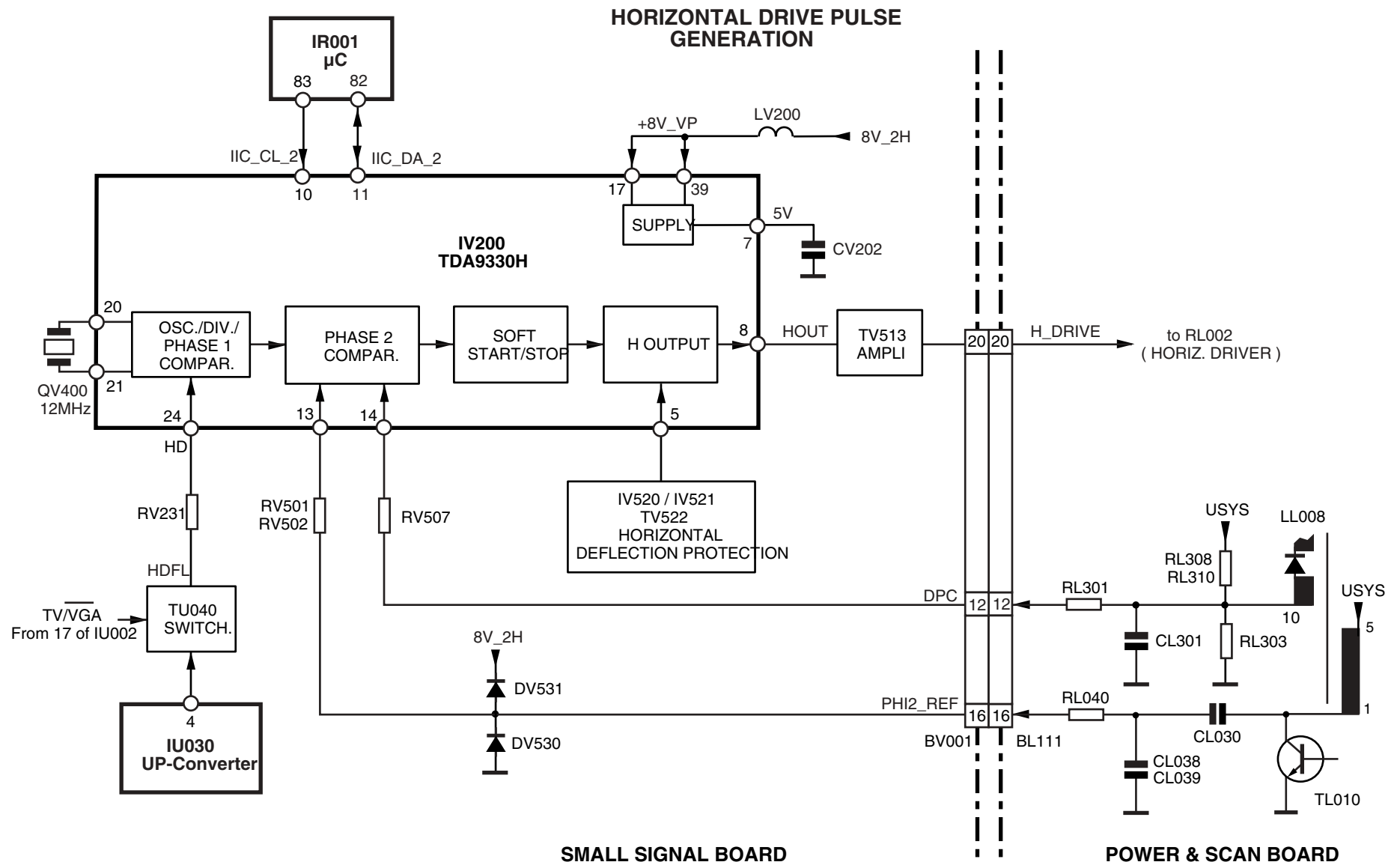
ETAPA DE BARRIDO DE CUADROS

ETAPA DE CORRECCIÓN ESTE-OESTE

ETAPA DE CORRECCIÓN DEL CAMPO MAGNÉTICO TERRESTRE

ETAPA DE ENFOQUE DINÁMICO

ETAPA DE SEGURIDAD DEL CIRCUITO DE BARRIDO DE LÍNEAS



INFORMACIÓN GENERAL

Las señales de líneas, cuadros y este/oeste, proceden del C.I. IV200 (TDA9330H).

Este circuito es alimentado en los modos adquisición y run (funcionamiento normal) por la tensión 8V_2H procedente de la patilla de salida 3 del regulador IP510. Además una tensión interna de 5V desacoplada por CV202 (patilla 7), es necesaria para la alimentación de la parte digital de IV200.

El μC IR001, a través del bus IIC2 entrega la orden de arranque del barrido al circuito integrado IV200.

ETAPA GENERADORA DE LÍNEAS

Un conjunto oscilador de 12 MHz y un divisor fijado por la señal HDFL procedente del convertidor de 50Hz/100Hz genera la señal de líneas.

El segundo comparador de fase garantiza el control de la fase estática utilizando para ello:

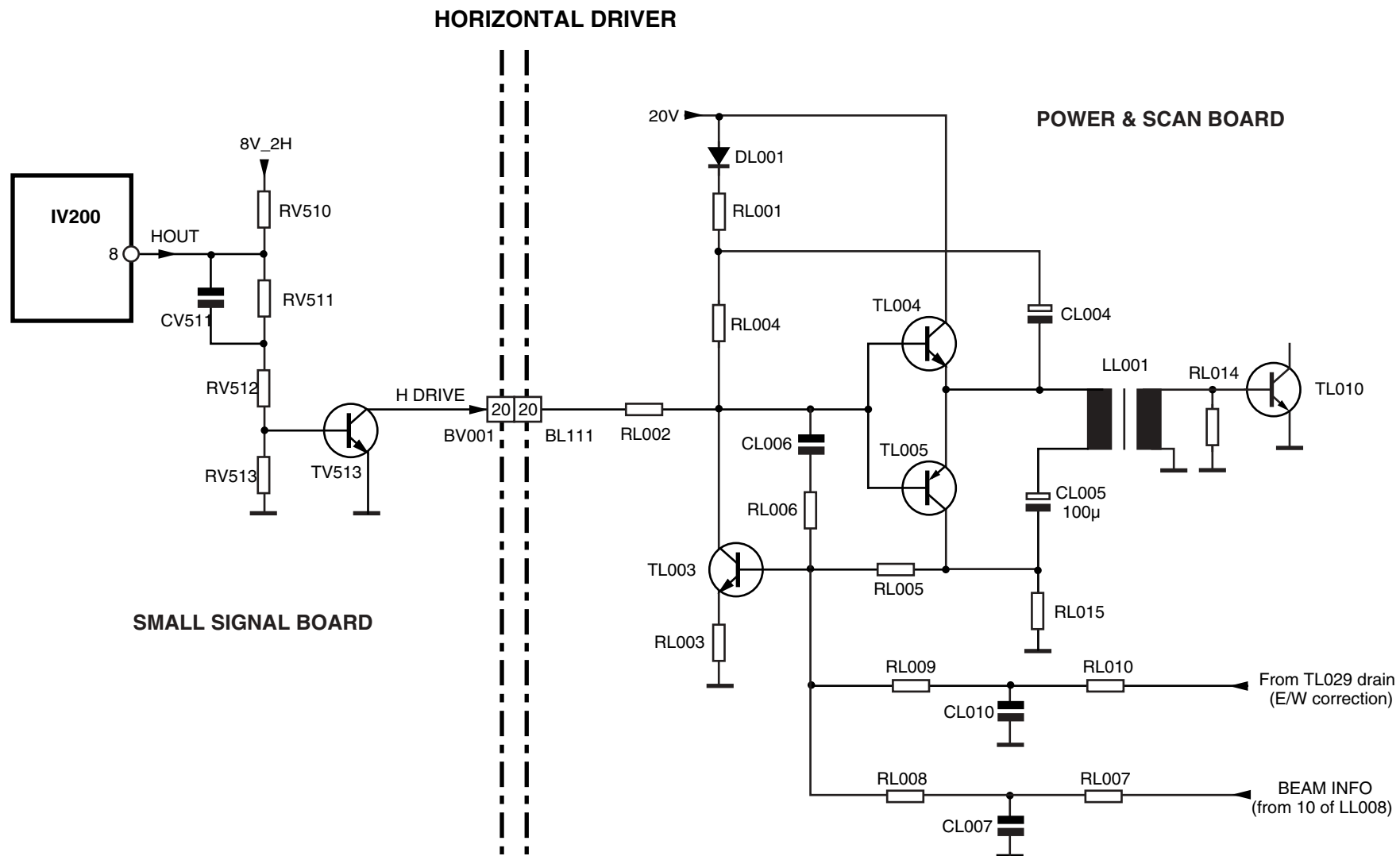
- Impulsos de retorno de líneas PHI2_REF, desde el transistor de potencia TL010, a través de un divisor capacitivo.
- Una tensión DPC (Dynamic Phase Correction), procedente de la base del transformador de líneas, para mantener la pantalla centrada independientemente de la corriente de haz.

Un circuito de "arranque suave" permite que el tiempo de conducción del transistor de potencia de líneas (TL010) sea incrementado gradualmente (de 0 a 16'6 μs durante los primeros 150 ms. de funcionamiento).

Una etapa de salida H entrega por la patilla 8 de IV200 la señal de líneas. La tensión de información de seguridad de barridos, llega a esta etapa por la patilla 5. Si esta tensión es superior a 2V en el arranque, la señal de salida de líneas es bloqueada.

Si la tensión en la patilla 5 de IV200 supera los 2V durante el funcionamiento, la señal de salida de líneas es anulada.

NOTAS



ETAPA DEL DRIVER DE LÍNEAS

El funcionamiento a 32 KHz impone una elevada corriente en el transistor de potencia de líneas TL010 (baja impedancia en las bobinas del yugo).

El transformador LL001 es el que suministra la corriente de base de TL010. Para reducir el tamaño de este transformador, su primario está siempre atravesado por una corriente, positiva o negativa.

Para conseguirlo, la patilla 1 de LL001 es alimentada por una tensión de aproximadamente 8'5V (carga del condensador CL005) dependiente de la relación cíclica de la señal H DRIVE.

El transistor TV513, conmutado por esta señal H DRIVE, controla el push-pull TL004/TL005:

- Para un nivel bajo de la señal H DRIVE, TV513 es bloqueado, TL004 saturado y TL005 bloqueado. Una determinada corriente de los 20V atraviesa el primario de LL001, carga el condensador CL005 y TL010 es saturado por la corriente procedente del secundario de LL001.
- Para un nivel alto de H DRIVE, TV513 es saturado, TL004 bloqueado y TL005 saturado. CL005 es descargado a través del primario de LL001 por TL005. TL010 es bloqueado por la corriente inversa del secundario de LL001.

Para mantener la corriente de base de TL010 independiente de la alimentación o de la tensión de unión (tolerancias entre base emisor) una regulación de corriente para el primario de LL001, es efectuada por TL003. Durante la saturación de la potencia de líneas, este transistor recibe la polarización creada (corriente imagen de las corrientes del primario y secundario) por la diferencia de potencial entre los terminales de RL015. En el caso de que se incremente, TL003 conduce más y modifica la polarización de TL004, de esta manera se recuperan los valores previstos.

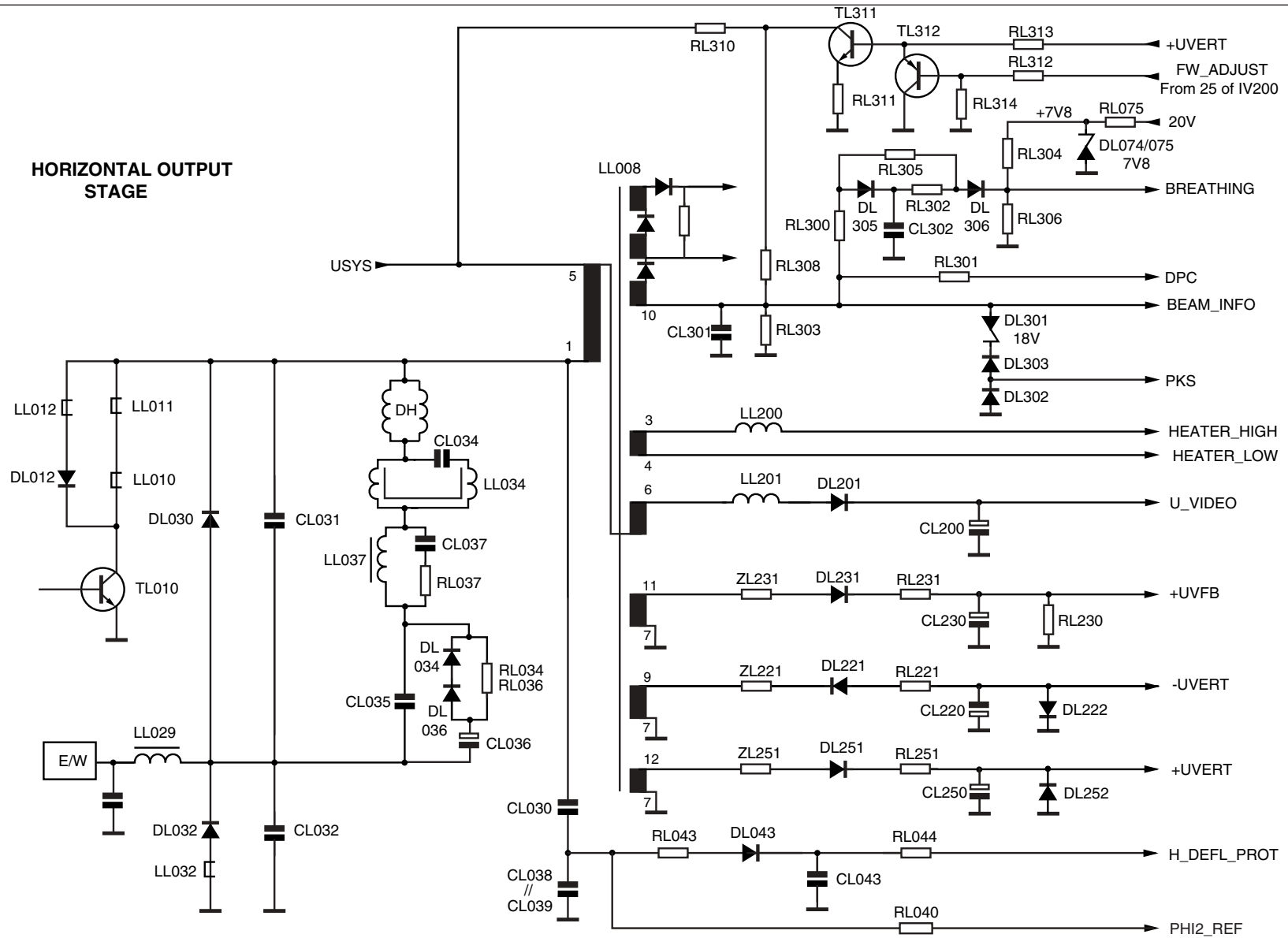
Esta regulación de corriente también está asegurada por la utilización de las informaciones de amplitud horizontal y corriente de haz.

El conjunto CL006/RL006 garantiza que la corriente de base de TL010 sea conformada para reducir las pérdidas durante su saturación.

CL004 junto con el diodo DL001 forman un circuito de realimentación que también ayuda a reducir la influencia de la alimentación sobre la polarización del transistor TL004.

NOTAS

HORIZONTAL OUTPUT STAGE



ETAPA DE POTENCIA DE LÍNEAS

El primario de LL008, alimentado desde la tensión USYS, está conectado con el colector del transistor TL010 y a los diodos moduladores DL030, DL032, y CL031, CL032.

Estos elementos de conmutación también canalizan la corriente de la deflexión horizontal conectados en serie con el condensador CL035 (corrección en "S") y la bobina de linealidad LL037.

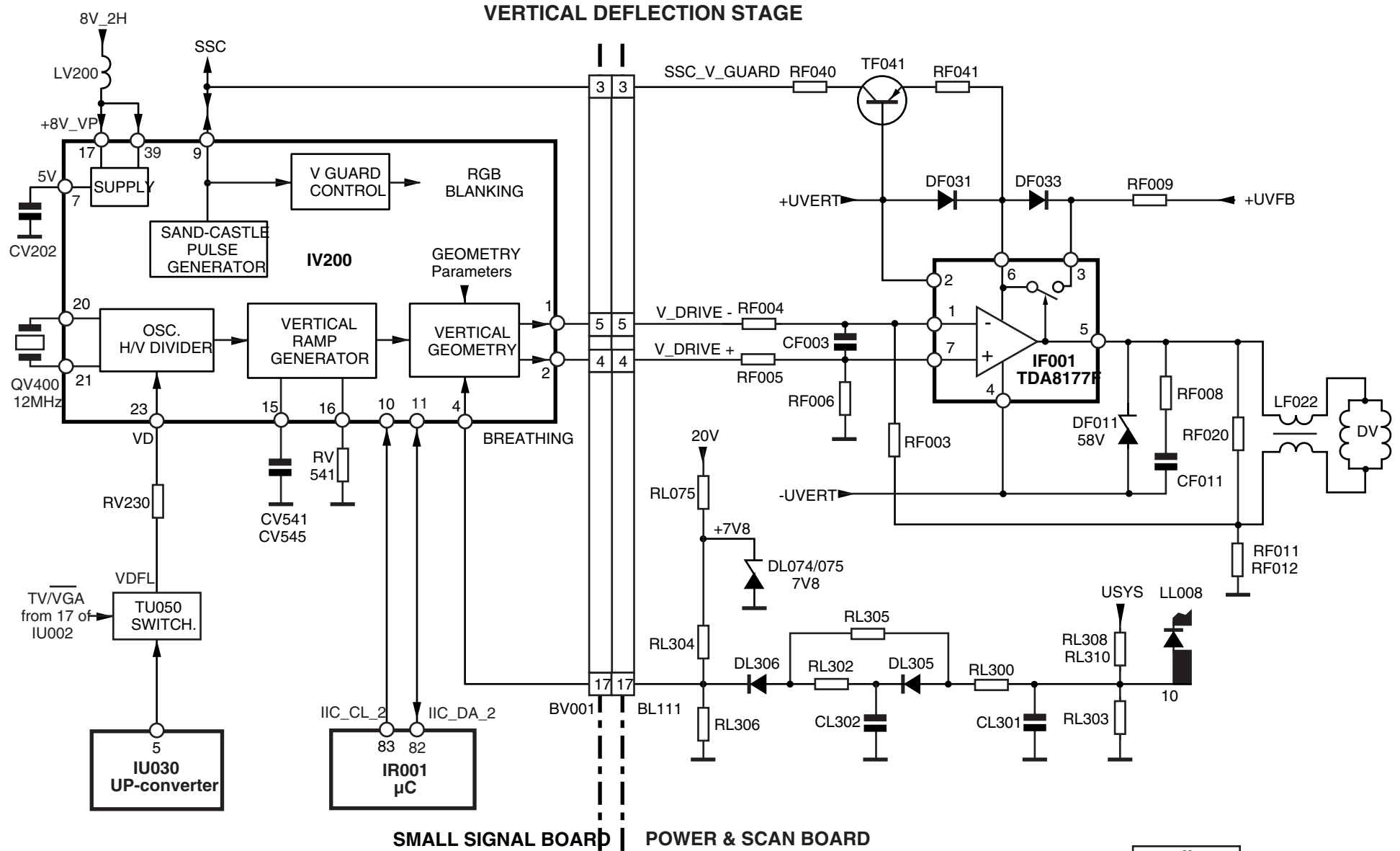
Un circuito amortiguador montado en paralelo con el condensador de corrección "S", anula las oscilaciones que aparecen cuando la corriente de haz sufre rápidas variaciones.

Para los tubos de pantalla plana, se añade una corrección dinámica "S" por medio del circuito resonante LL034, CL034.

De los secundarios de LL008 se extrae también :

- Patillas 3 y 4, impulsos para el filamento del tubo.
- Patilla 6, impulsos negativos, sobre USYS, para generar la tensión U_VIDEO de 195 voltios después de la rectificación por DL201.
- Patilla 11, impulsos negativos, para generar la tensión +UVFB de 31 a 45 voltios después de la rectificación por DL231.
- Patilla 9, impulsos negativos, para generar la tensión -UVERT de -13'5 a -17 voltios después de la rectificación por DL221.
- Patilla 12, impulsos negativos, para generar la tensión +UVERT de 11'5 a 16 voltios después de la rectificación por DL251.
- Patilla 10, las informaciones de "BEAM INFO", "BREATHING" y "DPC" corriente de haz instantánea (10 voltios para corriente de haz mínima).

NOTAS



ETAPA DE BARRIDO DE CUADROS

Para los circuitos de barrido de cuadros intervienen 2 circuitos integrados:

- IV200 (TDA9330H) para generar la señal en diente de sierra.
- IF001 (TDA8177F) amplifica esta señal y suministra la corriente a las bobinas deflectoras de cuadros.

El circuito IV200 incluye un generador de rampa, RV541, CV541 y CV545 (patillas 15/16), disparado por el divisor H/V y fijado por la señal VDFL procedente del convertidor 50Hz/100Hz.

La amplitud de esta rampa es modificada por la tensión de información de BREATHING aplicada a la patilla 4 (corrección dinámica de altura).

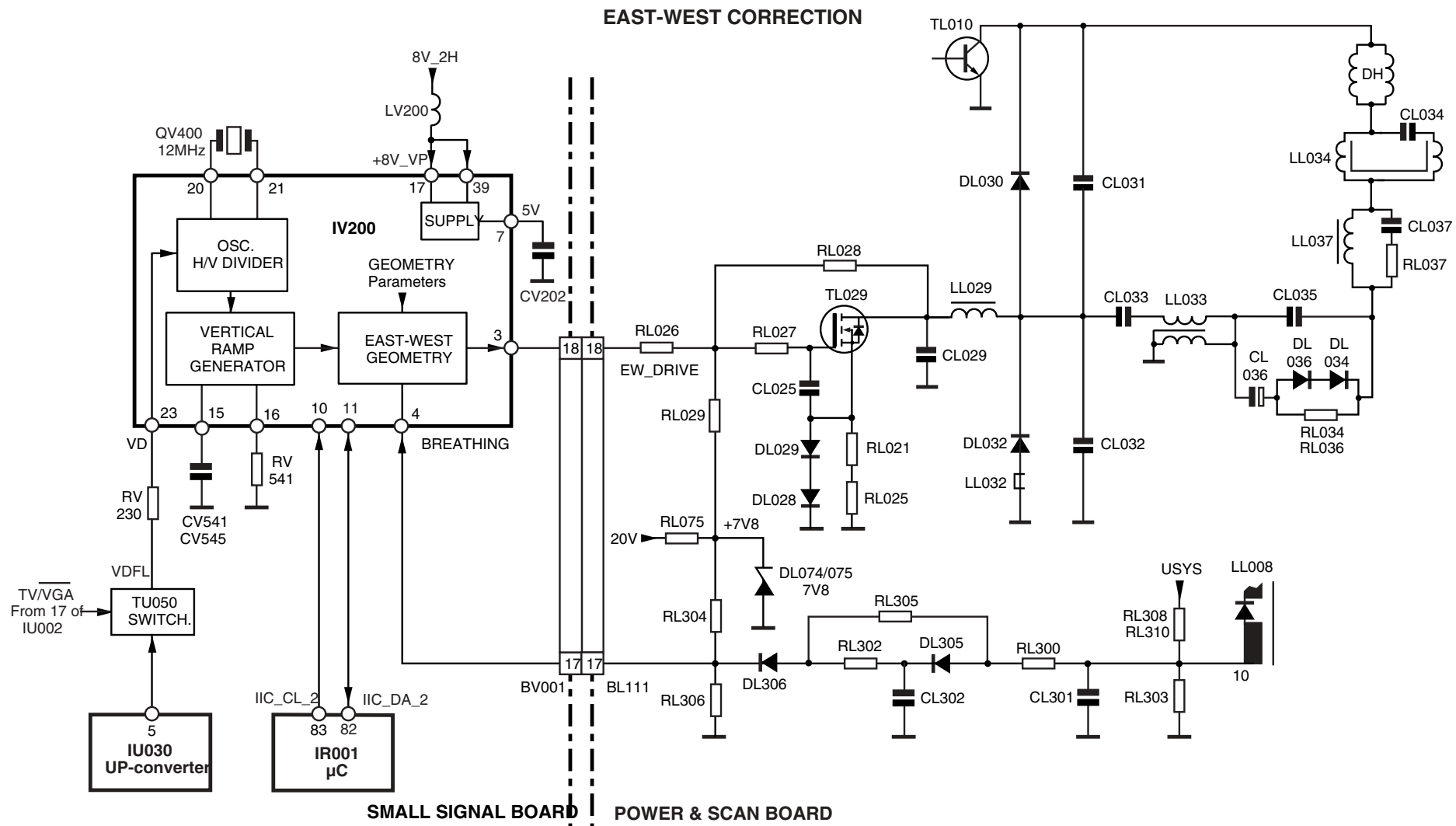
La corrección de la linealidad y la amplitud también es efectuada por IV200. Pueden ser ajustadas en el modo servicio por el bus I2C2.

El circuito TDA8177F recibe la señal de cuadros por las patillas 1 y 7. Las tensiones +UVERT (patillas 2 y 6) y -UVERT (patilla 4) alimentan a este circuito integrado. La tensión UVFB es sustituida por +UVERT durante el retorno de cuadros.

La salida (patilla 5) entrega la corriente a las bobinas deflectoras de cuadros. En serie con éstas, las resistencias RF011 / RF012 generan en sus terminales una tensión imagen de la corriente para utilizarla como realimentación negativa.

Una muestra de este barrido de cuadros es analizada en IV200 (señal VGUARD, patilla 9). Si esta señal no es correcta o no existe, las salidas RGB de IV200 son anuladas y el circuito de seguridad es activado. Después de dos nuevos intentos, se muestra el código de error 37 y el TV pasa a standby.

NOTAS



ETAPA DE CORRECCIÓN ESTE-OESTE

El circuito integrado IV200 incluye en su interior el generador de parábola Este/Oeste sincronizada por el generador de rampa vertical.

Los ajustes deben ser hechos en modo servicio y son transmitidos por el bus I2C2.

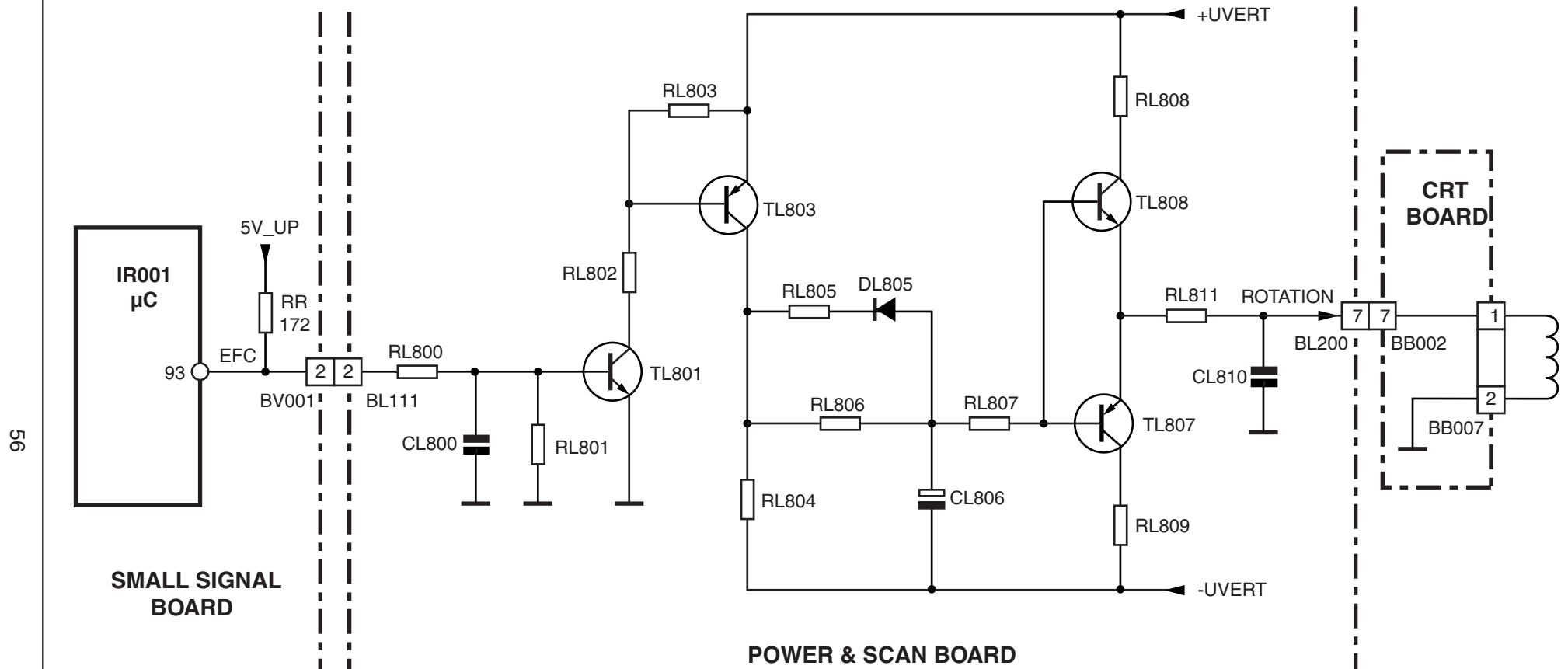
La señal EW_DRIVE (IV200, patilla 3) es aplicada al transistor MOS TL029, el cual extrae la energía desde el modulador utilizando la bobina LL029.

Una corrección dinámica de la anchura está asegurada por la señal BREATHING (IV200, patilla 4).

Los diodos DL028/029 limitan la tensión máxima en los terminales de las resistencias RL021/025 en el caso de cortocircuito de CL031. En el modo adquisición, la tensión en LL029 será la de USYS.

NOTAS

EARTH FIELD CORRECTION



ETAPA DE CORRECCIÓN DEL CAMPO MAGNÉTICO TERRESTRE

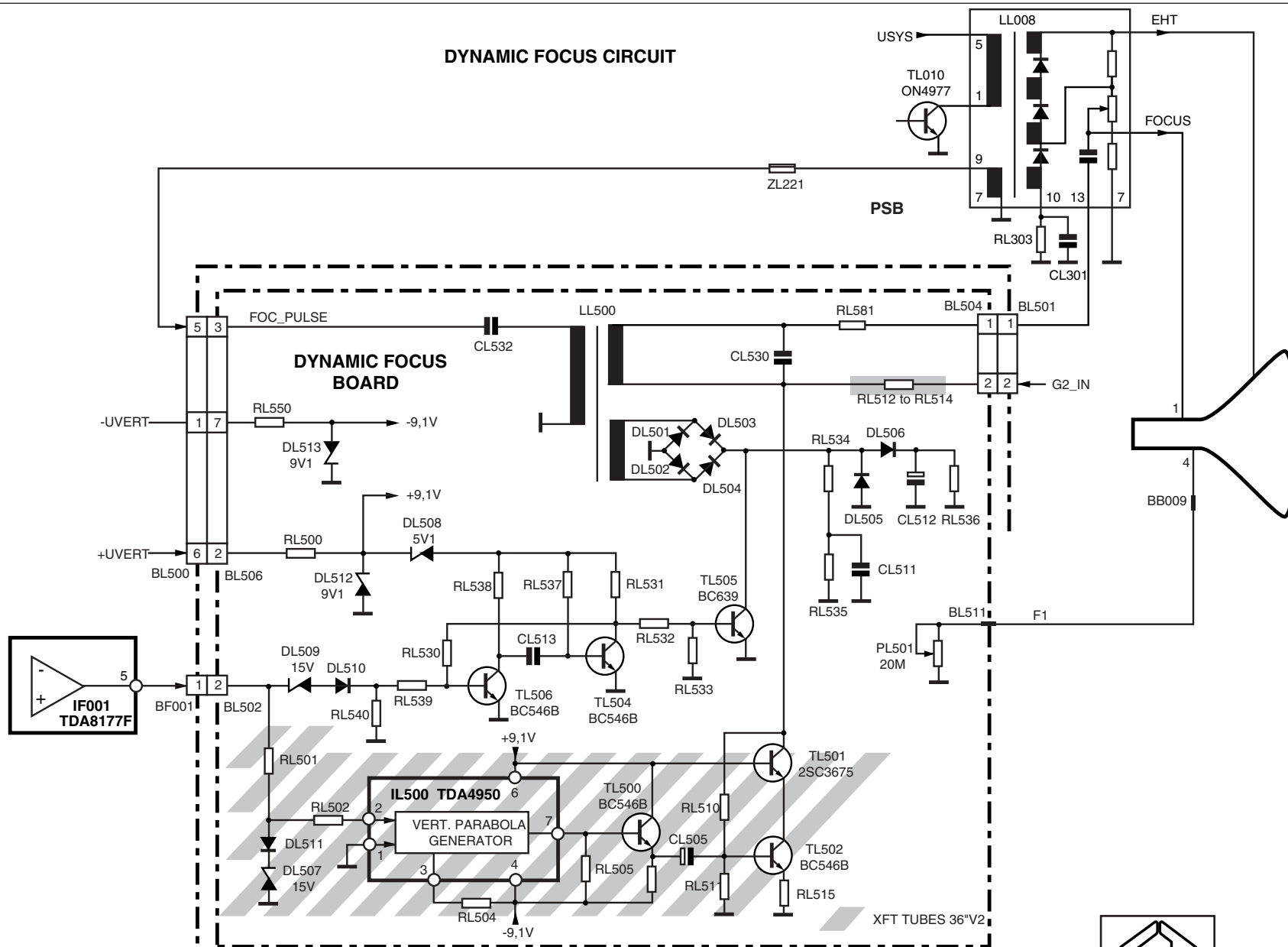
Este circuito solamente está montado en los televisores de 28", 32" y 36" con tubo 16/9.

Para compensar los efectos causados por el campo magnético terrestre sobre las líneas horizontales de la pantalla, se monta una bobina alrededor del yugo controlada por un circuito en la placa de alimentación. Dependiendo del valor y dirección de la corriente que circula por la bobina, se puede rotar la imagen entera utilizando el telemando desde el menú de instalación.

El μC IR001 (patilla 93), entrega unos impulsos modulados en anchura ($T = 186\mu\text{s}$), los cuales son amplificados por TL801/TL803, integrados por RL806/CL806 y amplificados en potencia por TL807/TL808.

El amplificador de potencia es alimentado simétricamente por +UVERT y -UVERT suministrando una corriente de -50 mA a +50 mA a la bobina.

NOTAS



ETAPA DE ENFOQUE DINÁMICO

Este módulo se instala solamente en los televisores equipados con tubos XF (extra planos) para que el enfoque sea correcto en toda la superficie de la pantalla. Para conseguirlo, la tensión de enfoque se modula parabólicamente a la frecuencia de líneas en los tubos de 32" y con líneas y cuadros para los de 36".

La modulación parabólica de líneas se obtiene por la doble integración del impulso de retorno de líneas tomado en la patilla 9 de LL008. La integración inicial es efectuada por el acoplamiento de los devanados del transformador LL500, mientras que el condensador CL530 (en paralelo con el secundario) garantiza la segunda integración.

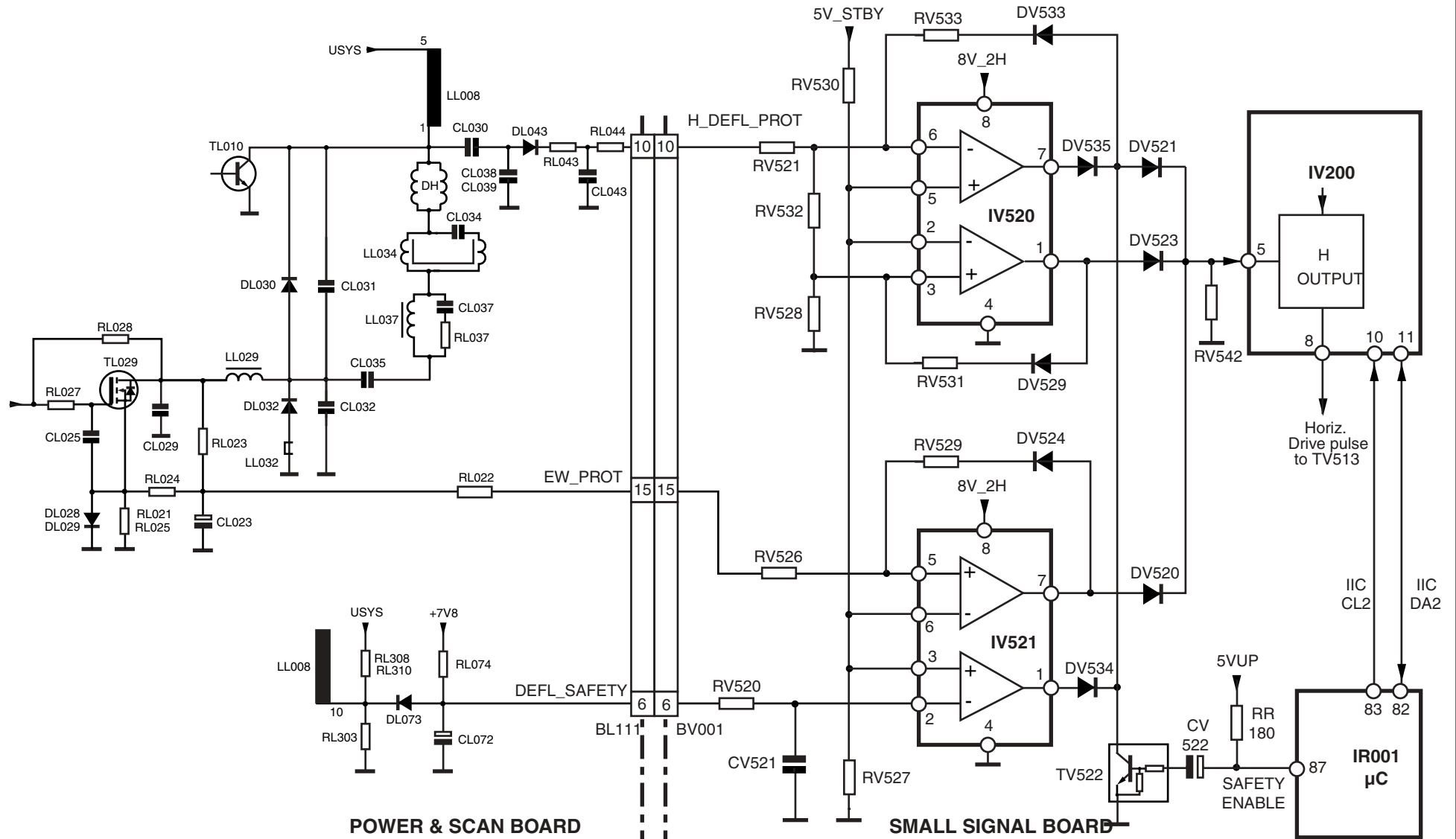
La modulación parabólica de cuadros se obtiene por medio del circuito integrado IL500 (elevación al cuadrado de la diferencia de corriente en las entradas 1 y 2) y por el amplificador TL501/TL502.

Para no alterar las medidas del circuito de servo-control del tubo, la modulación es desactivada durante el retroceso de cuadros. Para conseguir esto, el devanado de baja tensión de LL500 es puesto en cortocircuito por el transistor TL505 durante el retorno de cuadros. El puente de diodos DL501 a DL504 garantiza que este transistor es polarizado.

Los elementos DL505, DL506, CL511, CL512, RL534, RL535 y RL536 suprimen los rebotes creados por TL505.

NOTAS

HORIZONTAL STAGE PROTECTION CIRCUIT



CIRCUITOS DE SEGURIDAD DEL BARRIDO DE LÍNEAS

La entrada de circuito de seguridad (patilla 5 de IV200), recibe todas las tensiones conectadas al entorno de la deflexión y está preparado para reaccionar inmediatamente en cuanto ocurra: un cortocircuito, se abra el circuito del yugo horizontal, por sobretensiones o por una excesiva corriente de haz.

El circuito de seguridad se divide en tres unidades.

La primera, con la señal DEFL_SAFETY detecta la excesiva corriente de haz.

La segunda, con la señal H_DEFL_PROT detecta el exceso de MAT (USYS muy alta, etc.) o un amortiguamiento de la MAT.

La tercera, con la señal EW_PROT detecta la tensión en los terminales de DL032 (yugo horizontal en cortocircuito o abierto).

Toda esta información se aplica a la patilla 5 de IV200 a través de los diodos sumadores DV520, DV521 y DV523.

El comparador IV520, referenciado en las patillas 5 y 2 por una tensión de 1'3V, recibe la señal H_DEFL_PROT por las patillas 6 y 3. En el caso de un aumento excesivo de la tensión de MAT, la tensión en la patilla 3 sobrepasará los 1'3V y activará el circuito de seguridad. En el caso de una disminución de la MAT, la tensión en la patilla 6 caerá por debajo de 1'3V y activará el circuito de seguridad. En ambos casos la señal de líneas será suprimida.

El comparador IV521, referenciado en las patillas 6 y 3 por una tensión de 1'3V, recibe las señales EW_PROT y DEFL_SAFETY respectivamente por las patillas 5 y 2. En el caso de que se abrieran o se pusieran en cortocircuito las bobinas deflectoras H, la tensión en la patilla 5 sobrepasará los 1'3V y se activará el circuito de seguridad. Si la corriente de haz aumenta en exceso, la tensión en la patilla 2 caerá por debajo de 1'3V y activará el circuito de seguridad. En ambos casos la señal de líneas será suprimida.

Los conjuntos DV533/RV533, DV529/RV531 y DV524/RV529 evitan que el TV se estuviera encendiendo y apagando cíclicamente mientras está activado el circuito de seguridad. En cuanto la tensión en la patilla 5 de IV200 desciende por debajo de 2V, IV200 desactiva inmediatamente la protección.

La constante de tiempo CV522/TV522 desactiva el circuito de seguridad durante el tiempo necesario para que se establezca el barrido. Las salidas 7 de IV520 y 1 de IV521 están a nivel alto en modo adquisición.

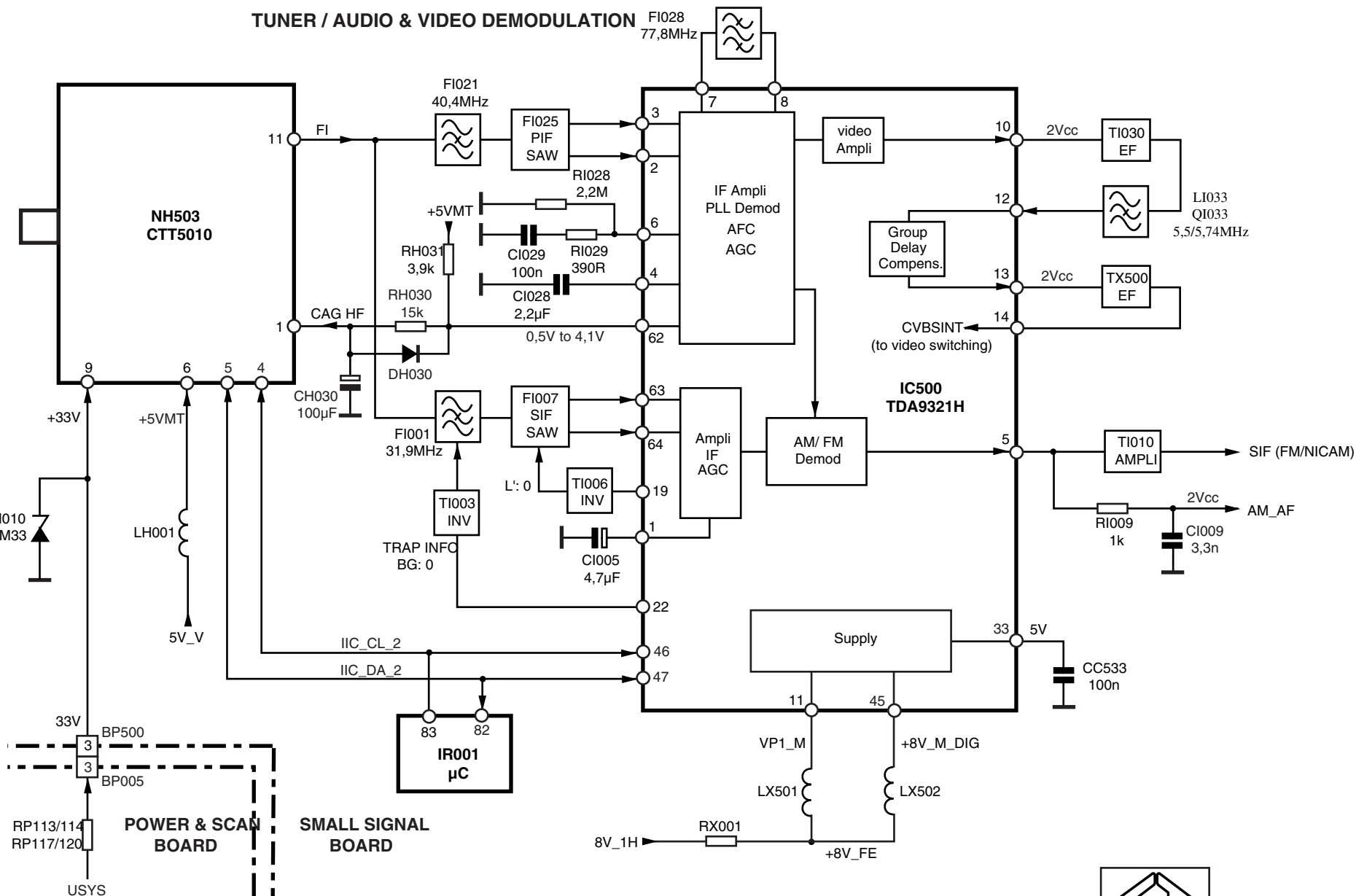
NOTAS:

RADIOFRECUENCIA FRECUENCIA INTERMEDIA

CONTENIDO

SINTONIZADOR F.I. IMAGEN / F.I. SONIDO

SINTONIZADOR F.I. IMAGEN PIP



SINTONIZADOR CTT5010

El CTT5010 es un sintonizador que funciona por síntesis de frecuencia. Está controlado por el μC IR001 a través del bus IIC2, para la conmutación de bandas y sintonía de los canales, cubriendo los siguientes márgenes de frecuencias:

- VL: 48'25MHz a 112'25MHz.
- VH: 119'25MHz a 399'25MHz.
- U: 407'25MHz a 863'25MHz.

FRECUENCIAS INTERMEDIAS

FRECUENCIA INTERMEDIA DE IMAGEN

La F.I., procedente de la patilla 11 del sintonizador, pasa a través del filtro FI021 (trampa del canal adyacente, 40'4MHz), el F.O.S FI025 y entra al IC500 por las patillas 3 y 2.

En IC500, la F.I. de imagen es amplificada y demodulada. La señal de vídeo, (patilla 10 de IC500), pasa a través de la trampa de la intérportadora de sonido de FM (LI033/QI033) y es reinyectada por la patilla 12 de IC500. Dentro de IC500, es enviada a la etapa de corrección de retardo y vuelve a salir por la patilla 13. Finalmente, por TX500, es introducida de nuevo por la patilla 14 de IC500 para ser dirigida a la etapa de conmutación.

La tensión del CAG de RF, por la patilla 62 de IC500 (0'5V a 4'1V), es enviada al sintonizador. El diodo DH030 mejora la actuación del CAG cuando la señal tiene grandes fluctuaciones.

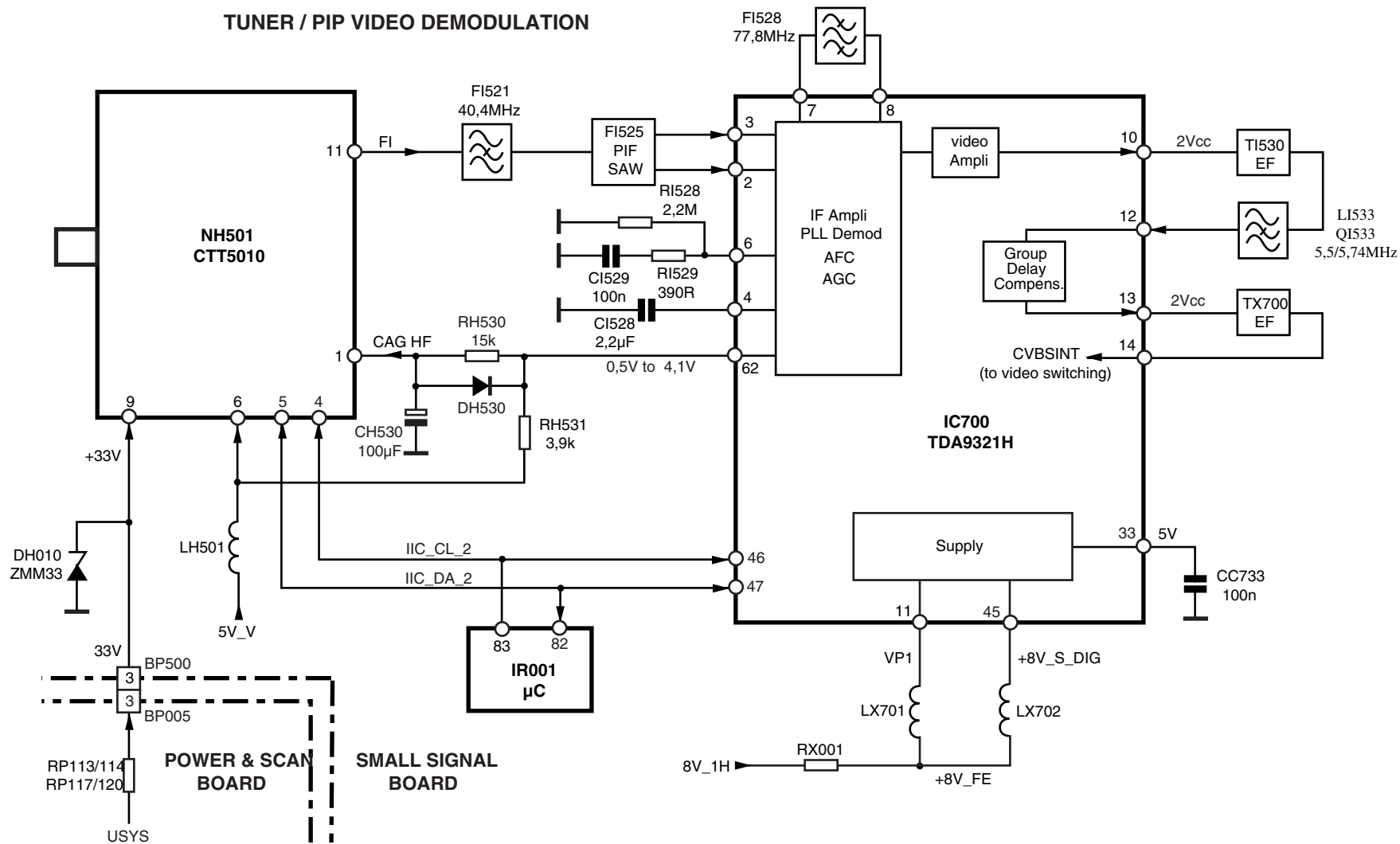
FRECUENCIA INTERMEDIA DE SONIDO

La F.I., procedente de la patilla 11 del sintonizador, pasa a través del filtro FI001 (trampa del canal adyacente BG, 31'9MHz), FI007 y entra al IC500 por las patillas 63 y 64.

El filtro FI007 debe ser conmutado. En norma 'L', su frecuencia de sintonía es de 40'4MHz. En el resto de las normas, la frecuencia es de 32'4MHz.

En IC500, la F.I. de sonido AM es amplificada, demodulada y sale por la patilla 5. En IC500, las F.I. de sonido FM y NICAM, se toman desde las etapas de video, son amplificadas y salen por la patilla 5.

NOTAS



SINTONIZADOR DEL PIP CTT5010

El CTT5010 es un sintonizador que funciona por síntesis de frecuencia. Está controlado por el μC IR001, a través del bus IIC2, para la conmutación de bandas y sintonía de los canales, cubriendo los siguientes márgenes de frecuencias:

- VL: 48'25MHz a 112'25MHz.
- VH: 119'25MHz a 399'25MHz.
- U: 407'25MHz a 863'25MHz.

FRECUENCIAS INTERMEDIAS

FRECUENCIA INTERMEDIA DE IMAGEN

La F.I., procedente de la patilla 11 del sintonizador, pasa a través del filtro FI521 (trampa del canal adyacente, 40'4MHz), el F.O.S FI525 y entra al IC700 por las patillas 3 y 2.

En IC700, la F.I. de imagen es amplificada y demodulada. La señal de vídeo, (patilla 10 de IC700), pasa a través de la trampa de la intérportadora de sonido de FM (LI533/QI533) y es reinyectada por la patilla 12 de IC700. Dentro de IC700, es enviada a la etapa de corrección de retardo y vuelve a salir por la patilla 13. Finalmente, por TX700, es introducida de nuevo por la patilla 14 de IC700 para ser dirigida a la etapa de conmutación.

La tensión del CAG de RF, por la patilla 62 de IC700 (0'5V a 4'1V), es enviada al sintonizador. El diodo DH530 mejora la actuación del CAG cuando la señal tiene grandes fluctuaciones.

NOTAS

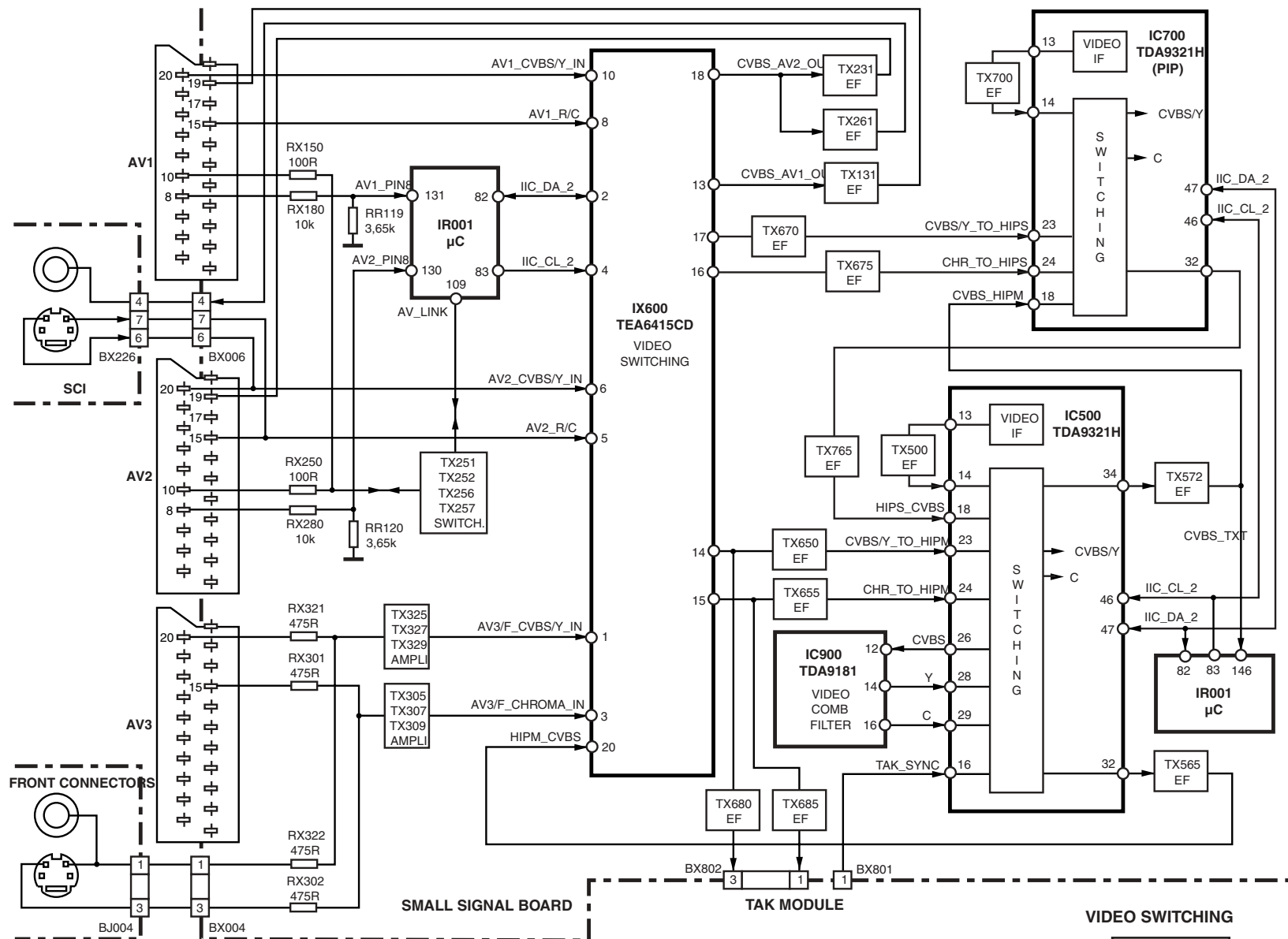
CONMUTACIONES

CONTENIDO

GENERAL

CONMUTACIONES DE VIDEO

CONMUTACIONES DE RGB



GENERAL

El chasis ICC21 tiene muy diversas características:

- 3 conectores SCART (AV1, AV2 y AV3).
- Conectores frontales, en paralelo con el AV3 para conectar una videocámara.
- Conectores opcionales, en paralelo con el AV2.
- Señal de vídeo del sintonizador, en la salida de vídeo de AV1.
- Señal de la pantalla que se está viendo, en la salida de vídeo de AV2.
- Detección de la conmutación en AV1 y AV2 en 4/3 y 16/9.
- Conectores de entrada Y/C para AV1, AV2, AV3 y conectores frontales.
- Entradas RGB en AV1 y AV2 con control de borrado rápido (FB).
- Encendido del TV por la detección de la conmutación lenta (patilla 8 de los AV), seleccionando la entrada apropiada.

CONMUTACIONES DE VIDEO

Las diferentes operaciones de conmutación son efectuadas por los circuitos integrados IX600 e IC500 para el canal principal y por IX600 e IC700 para el canal PIP. Estos circuitos integrados son controlados a través del bus IIC2. El circuito integrado IX600 selecciona las señales CVBS o Y/C procedentes de los AV1, AV2, AV3 y conectores para la imagen principal y para la imagen en primer plano (PIP).

Para cumplir con el estándar SCART, la señal de vídeo procedente del sintonizador debe estar siempre presente en la salida de vídeo de AV1 (patillas 14 de IC500, 32 de IC500, 20 de IX600 y 13 de IX600).

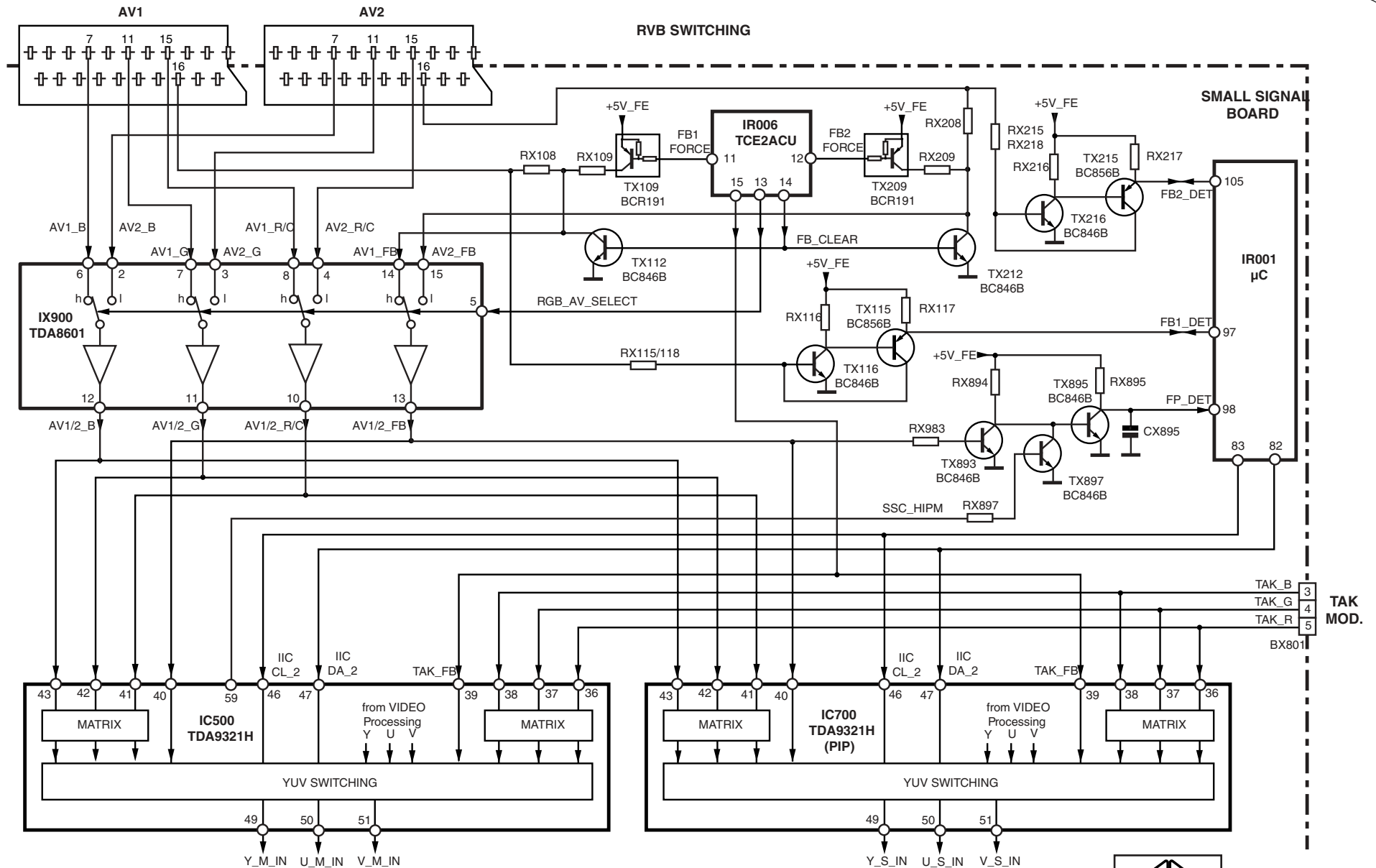
La señal de salida de vídeo en el AV2 es seleccionada de acuerdo a la lógica WYSIWYG (What You See Is What You Get). Es decir, que por la salida del AV2 siempre estará la señal de la imagen que se esté viendo en la pantalla.

Si está montado el módulo TAK (televisión interactiva a través de módem), la señal seleccionada se envía a este módulo y a las salidas AV1/AV2. El módulo TAK procesa esta señal (añade la información TAK, etc.) y entrega la RGB resultante con la señal de sincronización TAK_SYNC.

CONMUTACIONES DE RGB

MODO	SALIDA		
	PANTALLA	AV1 13 IX600	AV2 18 IX600
TUNER 14 IC500	TUNER		
AV1 10/8 IX600	AV1	TUNER	AV1
AV2 6/5 IX600	AV2		
AV3 1/3 IX600	AV3		

NOTAS



CONMUTACIONES DE RGB

Los conectores SCART AV1 y AV2 disponen de entrada RGB. El circuito integrado IX900 asegura la selección de una de estas fuentes de señal RGB_SELECT: 5V para AV1 y 0V para AV2. Las señales RGB y FB seleccionadas son dirigidas hacia IC500 (imagen principal) y hacia IC700 (imagen PIP). Estos dos circuitos son controlados por el bus IIC2 y pueden también recibir las señales RGB y de conmutación rápida TAK_FB, procedentes del módulo TAK.

Los transistores TX109 para AV1 y TX209 para AV2 permiten forzar las señales (por el telemando, IR001 e IR006) AV1_FB y AV2_FB. Cuando se selecciona un programa de TV, estas señales FB son desactivadas por la señal FB_CLEAR.

Los transistores TX893, TX895 y TX897 permiten la diferenciación entre una señal FB permanente y una FB variable (chroma key), esto permite que los registros correctos de color sean los definidos en cada caso. Con una señal FB permanente, la patilla 98 de IR001 está permanentemente a 5V. Con una señal FB variable, la patilla 98 de IR001 está a 4V exactos durante el retorno de cuadros.

Cuando las señales RGB han sido desactivadas por el usuario, se utilizan 2 multivibradores (TX116/TX115 para AV1 y TX216/215 para AV2) para detectar un nuevo FB para que puedan ser visualizadas estas RGB. El estado de estos multivibradores es transmitido al µC, IR001, (señales FB1_DET, FB2_DET) a dos patillas configurables como entrada / salida. De esta manera es posible restaurar las patillas a su estado previo con las mismas conexiones cada vez que el estado del multivibrador es el de lectura.

NOTAS

PROCESAMIENTO DEL VIDEO

CONTENIDO

GENERAL

DEMODULACIÓN DEL CANAL PRINCIPAL

DEMODULACIÓN DEL CANAL SECUNDARIO

DIGITALIZACIÓN DE LA SEÑAL DEL CANAL PRINCIPAL

DIGITALIZACIÓN DE LA SEÑAL DEL CANAL SECUNDARIO

PROCESAMIENTO DIGITAL 100 Hz

OPCIONES DE ZOOM Y CHROMA KEY

CONVERSIÓN DEL FORMATO DE ENTRADA Y DE IMAGEN

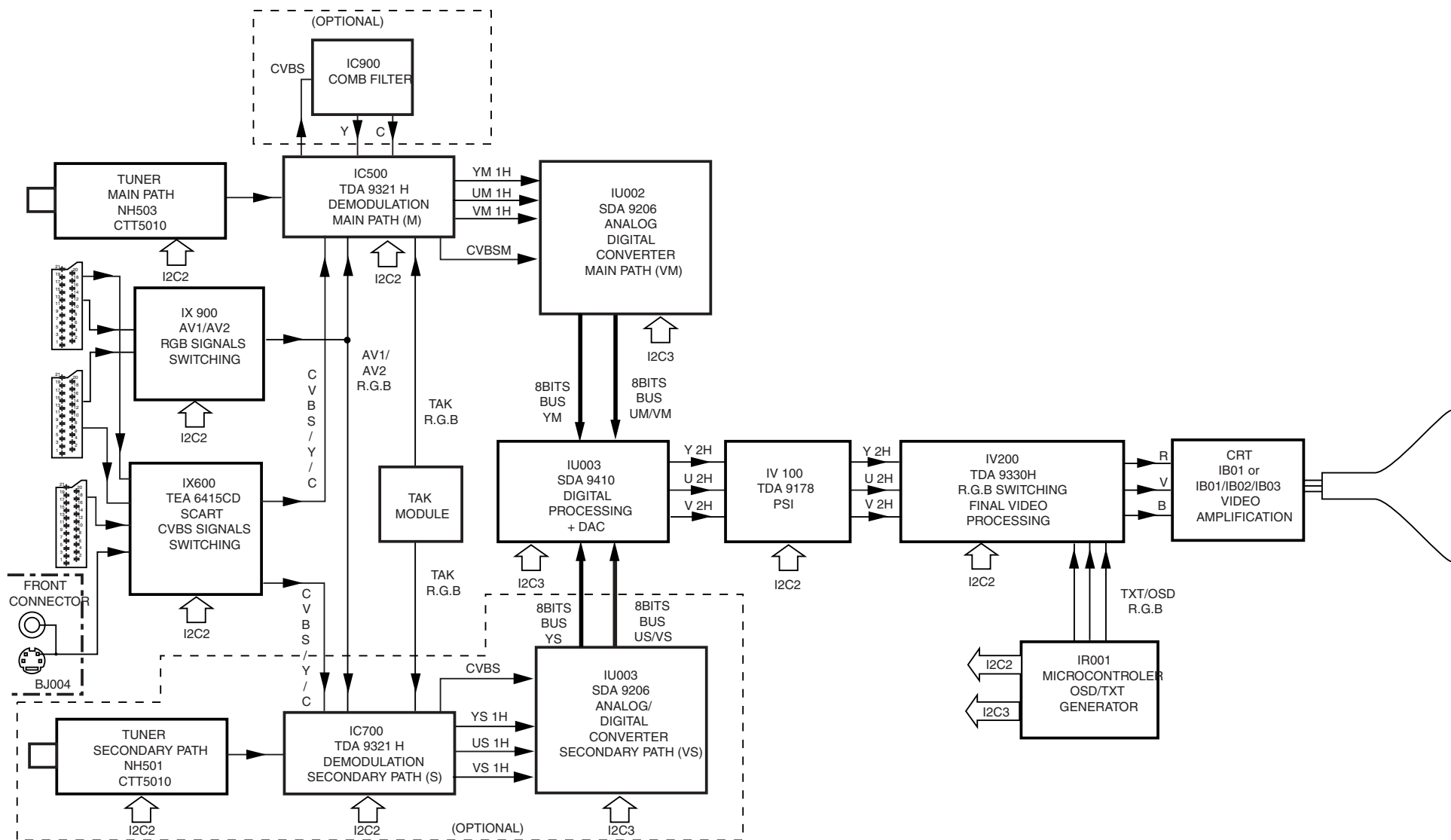
REDUCCIÓN DE RUIDO Y MOVIMIENTO

100 Hz y 50 Hz DVM (Digital Video Mastering)

ETAPA DE SALIDA Y CIRCUITO DE SINCRONIZACIÓN

PROCESAMIENTO POST-DIGITALIZACIÓN

PROCESAMIENTO RGB



GENERAL

El procesamiento del vídeo en el ICC21 garantiza la óptima calidad de imagen, gracias al Digital Vision Mastering (100 Hz o 50 Hz DVM). También dispone de otras muchas funciones, tales como 6 formatos de zoom para poder llenar la pantalla con cualquier tamaño de imagen, auto formato para garantizar que la imagen se muestra siempre en el formato correcto y mejora de la señal de la imagen (PSI) para mantener una buena calidad de imagen en los diferentes formatos de zoom y por lo tanto, mantener el nivel de definición. Además, también soporta las funciones de PIP (Picture In Picture), PAP (Picture and Picture) y PAT (Picture and Text).

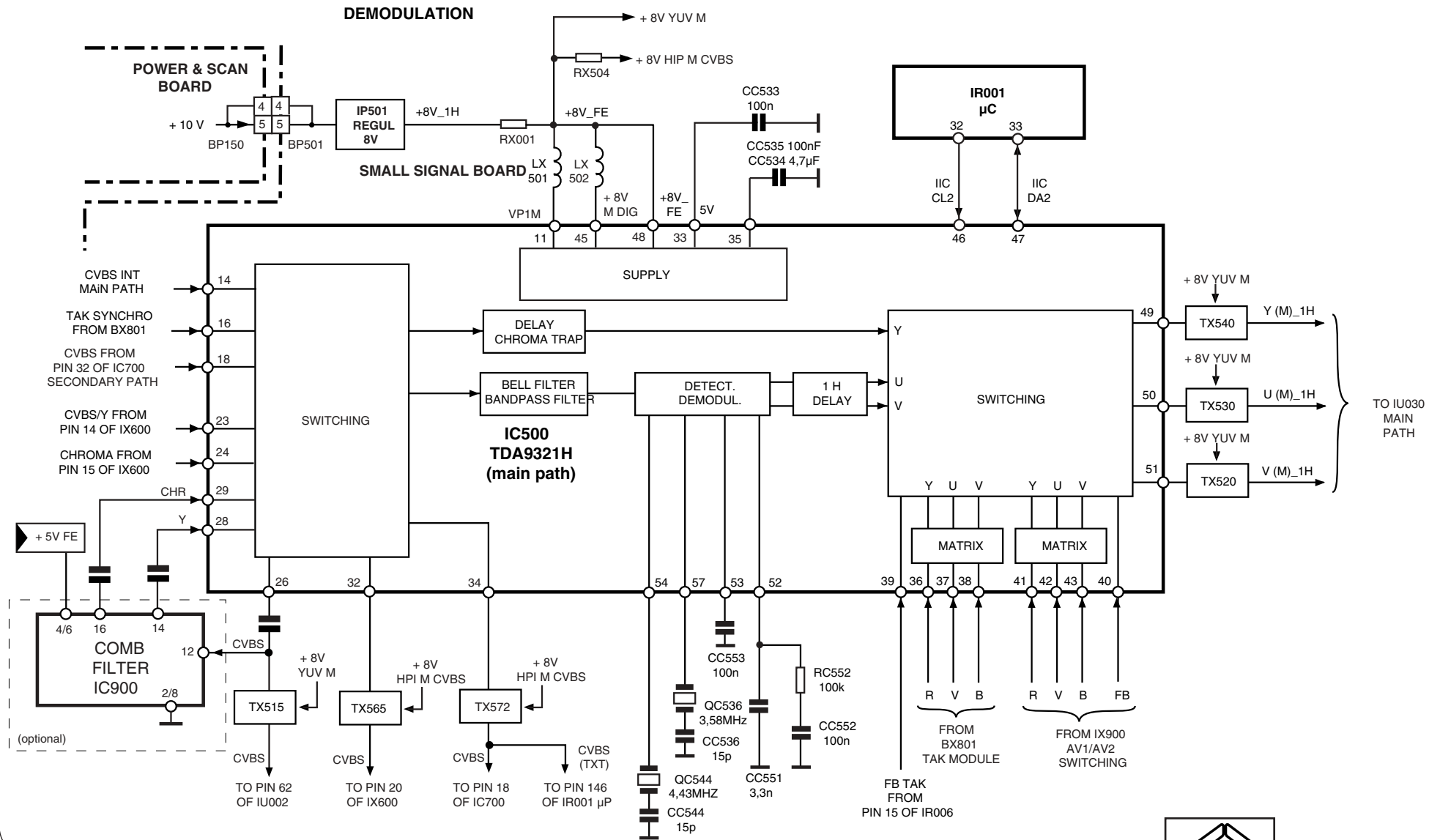
DVM (Digital Vision Mastering) es un proceso que ha sido desarrollado por Thomson, el cual proporciona una óptima calidad de imagen con cualquiera de las fuentes de señal utilizadas (VHS o DVD).

Esta tecnología ofrece dos tipos de resolución.

- DVM a 100 Hz es el equivalente de Motion Mastering con la detección de movimiento mejorada. Duplica la frecuencia del barrido para reducir el parpadeo y proporcionar una imagen más estable.
- DVM a 50 Hz proporciona el barrido progresivo, el número de líneas mostrado en la pantalla es doblado (resolución vertical) para obtener una imagen más precisa y detallada. La velocidad del refresco es acelerado para reproducir las imágenes en movimiento perfectamente (sin parpadeos y con mayor brillo).

Por defecto, el televisor se conmuta a DVM 100 Hz, pero se puede cambiar a DVM 50 Hz para adaptar el procesamiento de la imagen a la fuente de vídeo y obtener el mejor resultado posible.

NOTAS



DEMODULACIÓN DEL CANAL PRINCIPAL

El circuito integrado IC500 (TDA9321H) se encarga de la demodulación de las señales CVBS e Y/C del canal principal. Enteramente controlado por el bus IIC2, incorpora interiormente sus propios filtros y no necesita ningún tipo de ajuste. Además, este circuito reconoce automáticamente las normas de color a partir de las salvas. Dos cuarzos (4'43MHz y 3'58MHz) se utilizan para esto.

PROCESAMIENTO DEL CANAL Y

Dependiendo del estándar reconocido, el circuito conmuta las trampas adecuadas o deja pasar la señal libremente si se detecta una señal S-VHS. Una línea de retardo incluida dentro del circuito integrado compensa el retardo producido.

PROCESAMIENTO DEL CANAL DE CROMINANCIA

Dependiendo del estándar de color reconocido, se conmutan los filtros internos de banda para PAL / NTSC y filtro "campana" para SECAM. La frecuencia de resonancia (4'28MHz) de la "campana" es controlado por un circuito que utiliza un cristal de cuarzo de 4'43 MHz durante el retorno de cuadros.

La demodulación PAL / NTSC requiere un oscilador, el cuál trabaja conjuntamente con un cuarzo externo. El decodificador SECAM es un demodulador a PLL auto calibrado (patilla 53) cuyo VCO es ajustado durante el retorno de cuadros.

En algunos modelos, un circuito (IC900, comb filter) permite que las señales de luminancia y crominancia sean separadas en las normas PAL y NTSC.

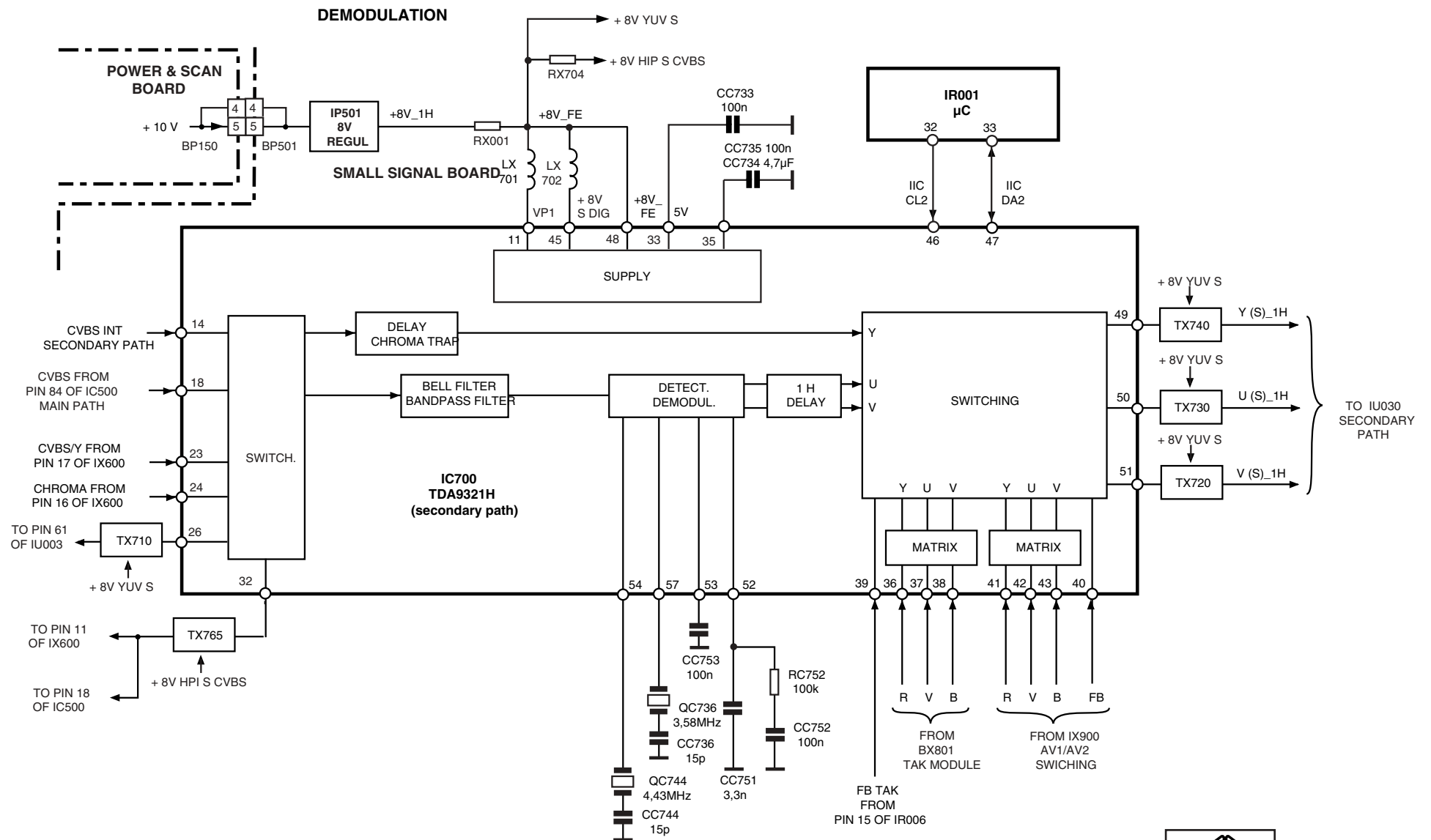
MATRIZADO Y CONMUTACIÓN DE LAS RGB EXTERNAS

Las RGB, procedentes de AV1, AV2 o TAK, son matrizadas para que puedan ser digitalmente procesadas de la misma manera que las señales CVBS o Y/C. La señal externa de FB valida el reconocimiento de estas RGB.

PROCESAMIENTO DEL SINCRONISMO

Una señal CVBS desde la patilla 26 se envía a la patilla 62 del conversor para juntar los sincronismos de línea y las señales VS y HS para las bases de tiempos y el control de varios PLL del canal principal.

NOTAS



DIGITALIZACIÓN DE LA SEÑAL DEL CANAL SECUNDARIO

El circuito integrado IC700 (TDA9321H) es el encargado de la demodulación de las señales CVBS e Y/C para el canal secundario. Incorpora interiormente todos los filtros necesarios y no necesita ningún tipo de ajuste.

Además, este circuito reconoce automáticamente las normas de color a partir de las salvas. Dos cuarzos (4'43MHz y 3'58MHz) se utilizan para esto.

PROCESAMIENTO DEL CANAL Y

Dependiendo del estándar reconocido, el circuito conmuta las trampas adecuadas o deja pasar la señal libremente si se detecta una señal S-VHS. Una línea de retardo incluida dentro del circuito integrado compensa el retardo producido.

PROCESAMIENTO DEL CANAL DE CROMINANCIA

Dependiendo del estándar de color reconocido, se conmutan los filtros internos de banda para PAL / NTSC y filtro "campana" para SECAM. La frecuencia de resonancia (4'28MHz) de la "campana" es controlado por un circuito que utiliza un cristal de cuarzo de 4'43 MHz durante el retorno de cuadros.

La demodulación PAL / NTSC requiere un oscilador, el cuál trabaja conjuntamente con un cuarzo externo. El decodificador SECAM es un demodulador a PLL auto calibrado (patilla 53) cuyo VCO es ajustado durante el retorno de cuadros.

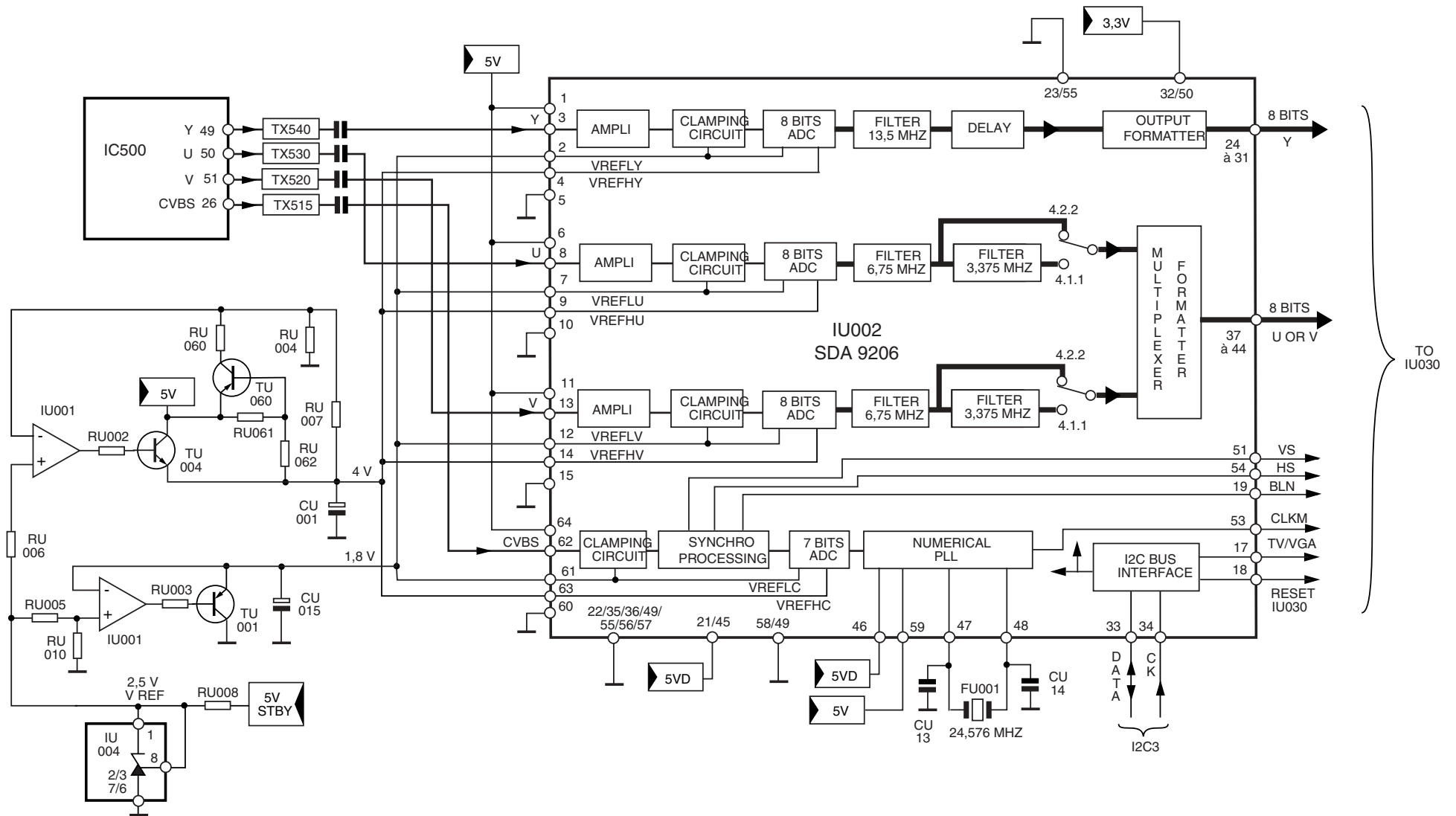
MATRIZADO Y CONMUTACIÓN DE LAS RGB EXTERNAS

Las RGB, procedentes de AV1, AV2 o TAK, son matrizadas para que puedan ser digitalmente procesadas de la misma manera que las señales CVBS o Y/C. La señal externa de FB valida el reconocimiento de estas RGB.

PROCESAMIENTO DEL SINCRONISMO

Una señal CVBS desde la patilla 26 se envía a la patilla 62 del conversor para juntar los sincronismos de línea y las señales VS y HS para las bases de tiempos y el control de varios PLL del canal principal.

NOTAS



DIGITALIZACIÓN DE LA SEÑAL DEL CANAL PRINCIPAL

La señal es digitalizada después de la demodulación de crominancia. Las señales analógicas de luminancia (Y) y diferencia de color (U y V) se introducen en el circuito integrado IU002 (SDA 9206).

El circuito integrado SDA 9206 contiene 3 convertidores A/D de 8 bits para las señales Y, U, V y un generador de reloj.

PROCESAMIENTO DE LA SEÑAL DE VIDEO

Las señales Y, U y V están presentes en las patillas 3, 8 y 13 respectivamente del circuito integrado IU002. En el interior del circuito, estas señales son amplificadas y fijadas antes de ser enviadas a los convertidores analógico / digitales.

En la salida del convertidor, encontramos la señal Y en forma de 8 bits paralelo con una frecuencia de 13'5 MHz, la cual sale por las patillas 24 a 31 a través de una línea de retardo y un amplificador.

En la salida de los otros dos convertidores, encontramos las señales U y V en forma de 8 bits paralelo con una frecuencia de 6'75 MHz para el estándar 4.2.2 y una frecuencia de 3'375 MHz para el estándar 4.1.1. Estos dos canales son multiplexados y amplificados saliendo por las patillas 37 a 44.

Por el bus I2C se pueden seleccionar varios tipos de formato. El formato utilizado en este chasis es el formato 4.2.2, el cual proporciona 2 buses de 8 bits paralelo con una frecuencia de 13'5 MHz cada uno.

Estas señales son enviadas al circuito de procesamiento digital IU030.

GENERADOR DE RELOJ

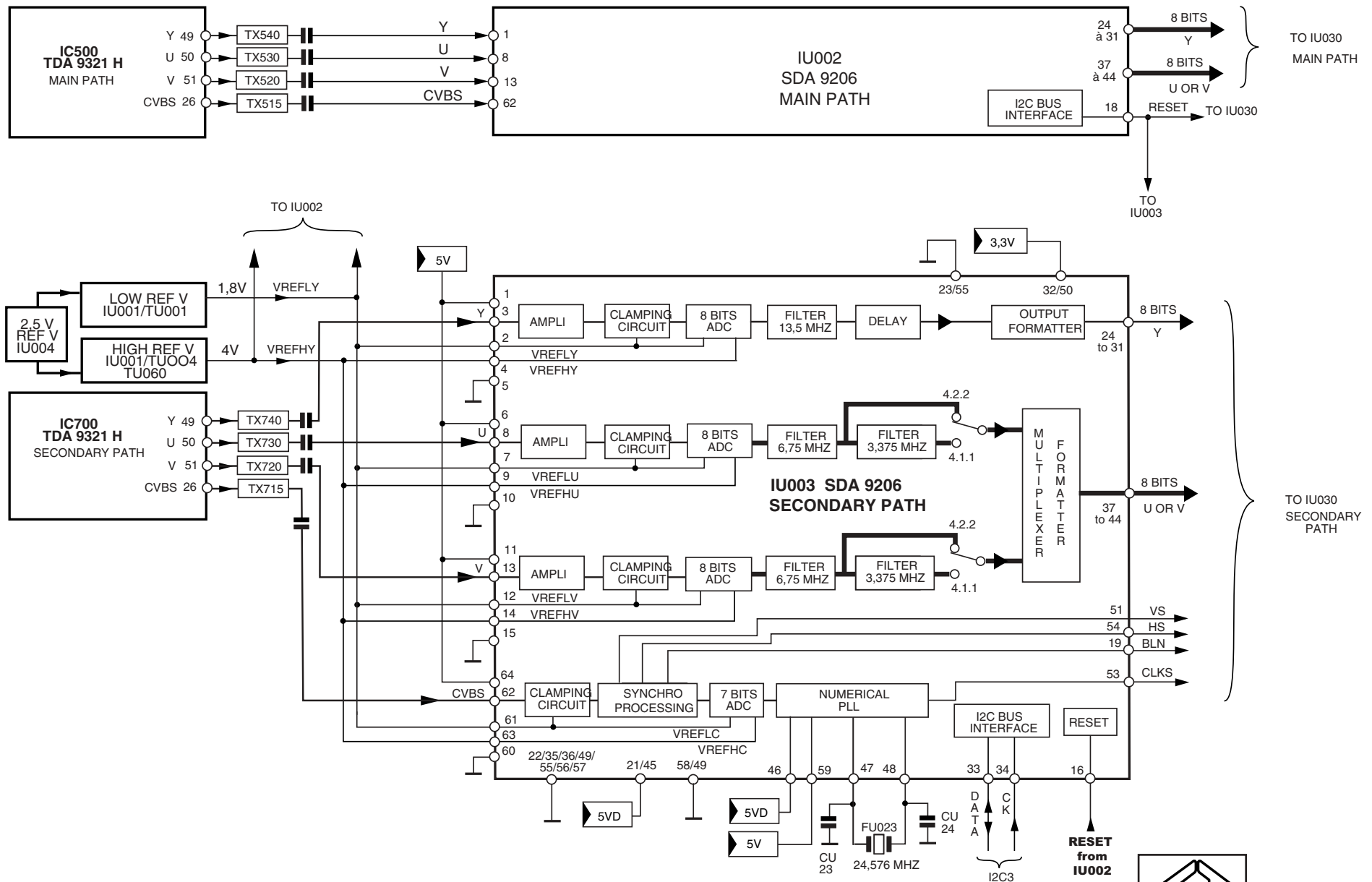
Este generador de reloj (PLL), fijado en la entrada de sincronización horizontal, genera las muestras de reloj y las señales de servicio (HS/VS/BLN/CLK1). El cuarzo FU001 (24'576 MHz) es el reloj de referencia para este PLL. La señal de sincronismo entrante (patilla 62) puede ser la señal compuesta de vídeo CVBS o la señal completa de sincronismos con la componente variable de continua. Esta señal de sincronismos es fijada antes de ser convertida digitalmente a 7 bits con una frecuencia de muestreo de 27 MHz.

En este generador de reloj, se encuentran las siguientes señales:

- CLK1 (patilla 53); señal de reloj de 27 MHz.
- HS (patilla 54); señal de sincronismo de líneas (15.625 KHz).
- VS (patilla 51); señal de sincronismo de cuadros (50 Hz). Entre otras cosas, esto permite que sean reconocidos los 50/60 Hz.
- BLN (patilla 19); señal de borrado de líneas durante el retorno. Cuando esta señal está a nivel alto, los datos de las líneas están activos.

Una señal de reset (patilla 18) de aproximadamente 8 ms, (activa a nivel bajo), permite que el circuito digital IU030 sea reseteado cuando el circuito es puesto en marcha.

NOTAS



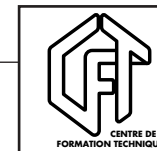
DIGITALIZACIÓN DE LA SEÑAL DEL CANAL SECUNDARIO

Si llega una "chroma key" procedente de RF, PIP, TAK, AV o DVD, necesitaremos un segundo circuito integrado SDA9206 (IU003) para digitalizar esta señal.

Este canal (canal secundario), del mismo modo que el canal principal, será dirigido al conversor de frecuencia de barrido (IU030), el cual manejará la "chroma key".

Este segundo circuito integrado será inicializado (patilla 16) por el circuito integrado IU002 al mismo tiempo que el circuito IU030.

NOTAS



PROCESAMIENTO DIGITAL 100 HZ

El procesamiento digital de 100 Hz es manejado por el circuito integrado IU030 (SDA9410). Este circuito contiene una etapa conversora a 100Hz unida a una memoria, la cual permite que el formato de la imagen sea reducido y también el parpadeo de líneas debido al entrelazado del barrido.

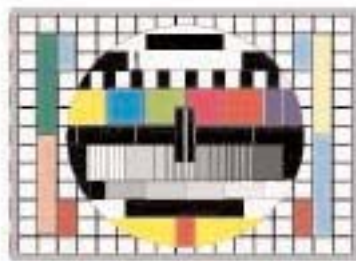
Las conversiones a 100Hz entrelazados y 50 Hz progresivos están basadas en la detección del movimiento de la imagen (lenta o rápida), el circuito SDA 9410 hará un cálculo preciso para obtener una imagen de movimientos suaves.

El circuito integrado IU030 (SDA 9410) contiene dos canales internos que pueden ser utilizados para mostrar varios procesamientos de la imagen, como PIP o la división de la pantalla en 2 ventanas conteniendo imagen (PAP) o texto (PAT). Estos dos canales internos no son equivalentes, el primero es llamado principal (M) y el segundo es llamado secundario (S). Estos dos canales son multiplexados antes de ser transmitidos. Siempre será el canal principal el que sincronice a los dos canales combinados.

Para adaptar el formato de la imagen al modo de visualización seleccionado, las señales de entrada de estos dos canales deben ser modificadas en amplitud de líneas y cuadros con factores variables. El modo "PANORAMA" puede ser seleccionado.

NOTAS

ON 4/3 SCREEN



4/3 PICTURE



16/9 PICTURE

ON 16/9 SCREEN



FORMAT 4/3 ZOOM 0



FORMAT 4/3 ZOOM 1



FORMAT 4/3 ZOOM 2



FORMAT 4/3 CINERAMA



FORMAT 16/9

FORMATOS DE ZOOM

Dependiendo del tipo de fuente de señal, se pueden seleccionar hasta 6 formatos de imagen.

FORMATOS DE IMAGEN EN PRIMER PLANO

El circuito SDA 9410 dispone de tres modos de pantalla en primer plano:

- PIP (Picture In Picture), por medio de una alta efectividad de conversión 50/100 Hz, basada en un algoritmo de compensación de movimiento. También podemos obtener una "chroma key" de alta definición PIP en una ventana de aproximadamente una novena parte del tamaño de la imagen principal. Para esta función, un bloque de 6MB de memoria eDRAM es dividida en dos partes para la luminancia y dos partes para la crominancia (4.2.0 y 4.1.1). La conversión a 100Hz basada en la detección de movimiento, es sólo posible en el canal principal.
- PAP (Picture And Picture) para dividir la pantalla en 2 ventanas, las cuales pueden ser del mismo tamaño o diferente. En este modo, 6 MB de memoria eDRAM se dividen en 2 partes de 3 MB para que puedan contener hasta 2 partes de crominancia y 2 partes de luminancia (4.2.0 y 4.1.1). En este modo, (2 ventanas) una conversión simple AABB es efectuada.
- PAT (Picture And Text). El procedimiento es el mismo que para el modo PAP, pero la segunda imagen es sustituida por el teletexto.

MODO PIP

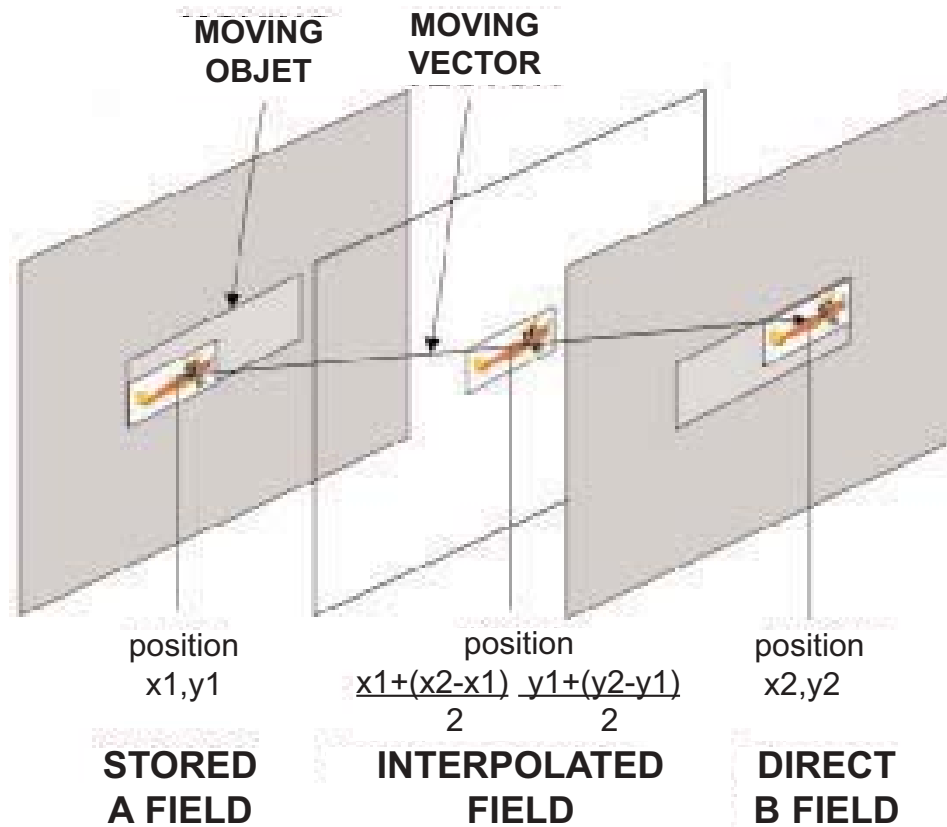


MODO PAP



MODO PAT





CONVERSIÓN DEL FORMATO DE ENTRADA

Las señales Y, U y V llegan al circuito integrado IU030 (SDA 9410) por las patillas (39 a 42, 44 a 47) y (30 a 35, 37 a 38) para el canal principal y a las patillas (61 a 65, 71 a 73) y (48 a 53, 55 a 56) para el canal secundario. Cada señal es codificada a 8 bits con una frecuencia máxima de reloj de 27 MHz. La memoria principal del SDA 9410 tiene una capacidad total de 6 MB y está repartida en 2 partes idénticas e independientes de 3MB cada una. En el modo PIP, cada una de estas partes debe almacenar 2 cuadros de luminancia y crominancia. Esta es la razón por la que el formato tiene que ser cambiado de 4.2.2 a 4.2.0 ó 4.1.1. La misma conversión de formato debe ser efectuada en el canal secundario.

CONVERSIÓN DEL FORMATO DE IMAGEN

Después de pasar por una línea de retardo ajustable para permitir que la luminancia y la crominancia sean cambiadas, el formato de la imagen en los dos canales (principal y secundario) es cambiado por la modificación de los numerosos coeficientes verticales y horizontales a través del bus I2C. Se puede comprimir la imagen verticalmente y horizontalmente y expandirla horizontalmente dependiendo de los múltiples modos que pueden ser seleccionados ("Panorama", PIP, PAP o PAT).

Además, sobre el canal principal se puede aplicar la reducción de ruido y la detección del formato "BUZÓN" (Letter box), permitiendo la expansión vertical después del procesamiento digital. El conversor de frecuencia de barrido, entregando una salida de barrido progresivo de cuadros, permite que el cuadro sea extendido con su respectivo movimiento de imagen.

REDUCCIÓN DE RUIDO

Existen dos circuitos de reducción de ruido, pero sólo actúan sobre el canal principal. Reducción de ruido espacial y reducción de ruido temporal.

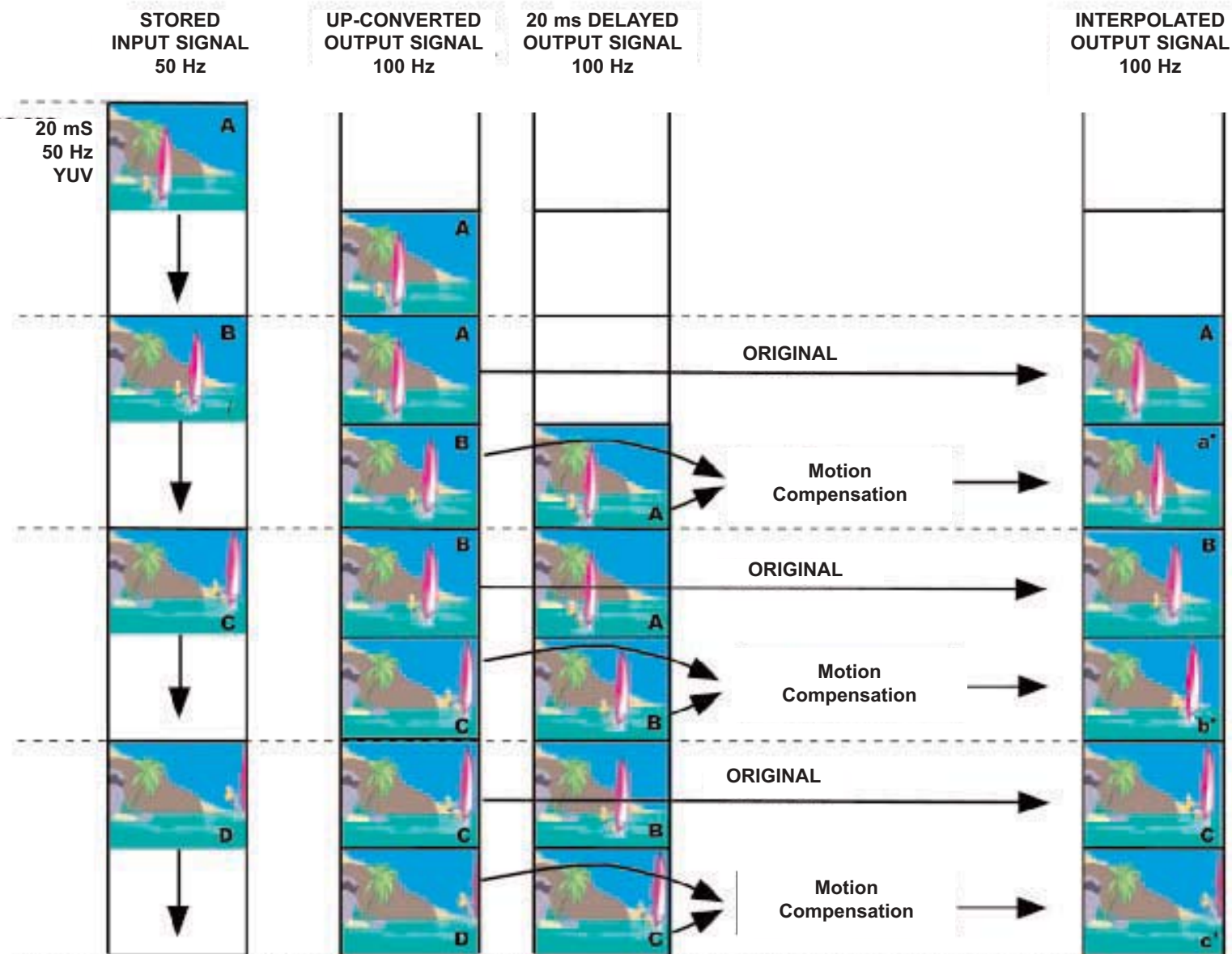
La reducción de ruido espacial, sólo actúa sobre la señal de luminancia para mejorar la definición y los contornos de la imagen.

La reducción de ruido temporal es idéntica en los canales de luminancia y crominancia. Está basada en la detección del movimiento de la señal. Un factor K (entre 0 y 15) es determinado por el circuito de detección. La corrección a efectuar dependerá de este coeficiente. Cuanto mayor sea el movimiento de las imágenes, menor será la reducción de ruido.

CÁLCULO DEL MOVIMIENTO DE IMAGEN

El cálculo del movimiento de la imagen, sólo se puede efectuar sobre el canal principal y tiene que ser medido en dos cuadros. La posición del objeto en movimiento en el cuadro "A" será memorizado, la posición del objeto en movimiento en el cuadro "B" será comparado con el previamente memorizado y se creará un cuadro por interpolación, posicionando el objeto en la mitad del desplazamiento entre los cuadros "A" y "B". Esta interpolación se efectuará tanto en desplazamientos horizontales como verticales (ver diagrama debajo).

NOTAS

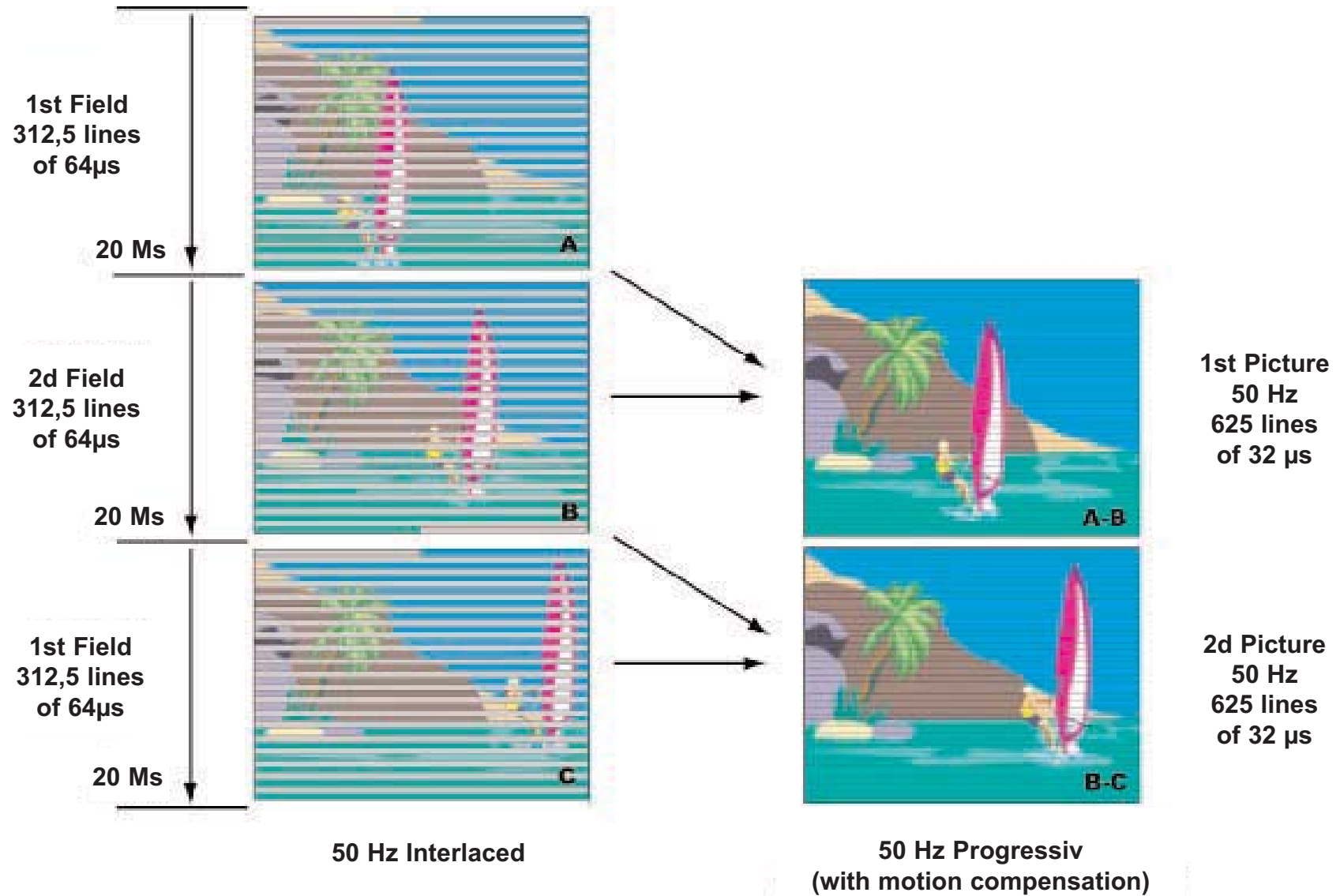


DVM (DIGITAL VIDEO MASTERING) DE 100 HZ

Podemos obtener dos diferentes barridos desde la salida del convertidor del canal principal. Estos barridos pueden ser seleccionados a través del menú del TV a 50 ó 100 Hz DVM.

Cuando se selecciona la función DVM 100Hz, la salida del convertidor de barrido será de 100 Hz con barrido entrelazado AA*B*B con el procesamiento efectuado por ambas partes de la memoria principal. Entonces, dependiendo de la detección de movimiento, el convertidor interpolará las cuatro salidas de cuadros a una frecuencia de 100 Hz (ver diagrama debajo).

NOTAS



DVM (DIGITAL VIDEO MASTERING) DE 50 HZ

Al seleccionar la función DVM 50 Hz, obtendremos un barrido progresivo de 50 Hz. El convertidor, dependiendo de la detección de movimiento, interpolará dos imágenes progresivas de 20 ms o 625 líneas de 32 μ s en tres campos entrelazados de 20 ms (ver diagrama debajo).

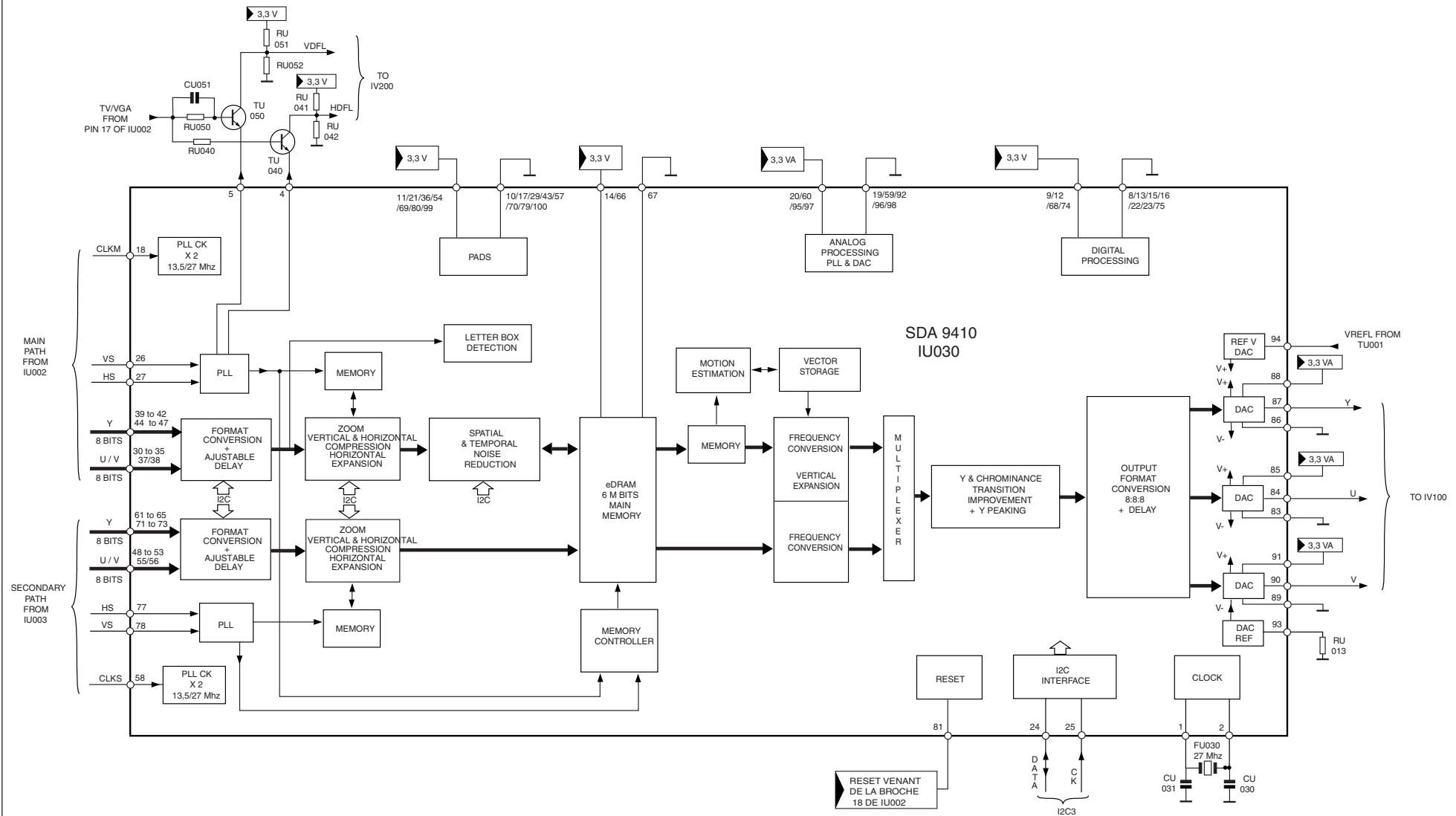
En los modos PAP y PAT, no es posible en el canal principal un barrido progresivo. Los canales principal y secundario tienen un barrido entrelazado "AABB" de 100Hz.

Podremos obtener diferentes conversiones desde la salida del convertidor del canal secundario, dependiendo del tipo de "chroma key" en la pantalla.

En modo PIP, tendremos el mismo barrido en el canal secundario y en el principal (100 Hz entrelazado ó 50 Hz progresivo, pero sin compensación de movimiento).

En los modos PAP o PAT, en la salida del convertidor secundario, tendremos una conversión simple "AABB" 100 Hz entrelazados sin compensación de movimiento.

NOTAS



ETAPA DE SALIDA SDA 9410

Antes de abandonar el circuito integrado IU030 (SDA 9410), la señal pasa a través de una etapa de corrección (Peaking) para el mejoramiento de las señales de luminancia y crominancia.

Una interpolación en el formato 8.8.8 es realizada antes de los convertidores digital / analógicos de 9 bits. Las señales convertidas salen por la patilla 87 la Y, por la 84 la U y por la 90 la V.

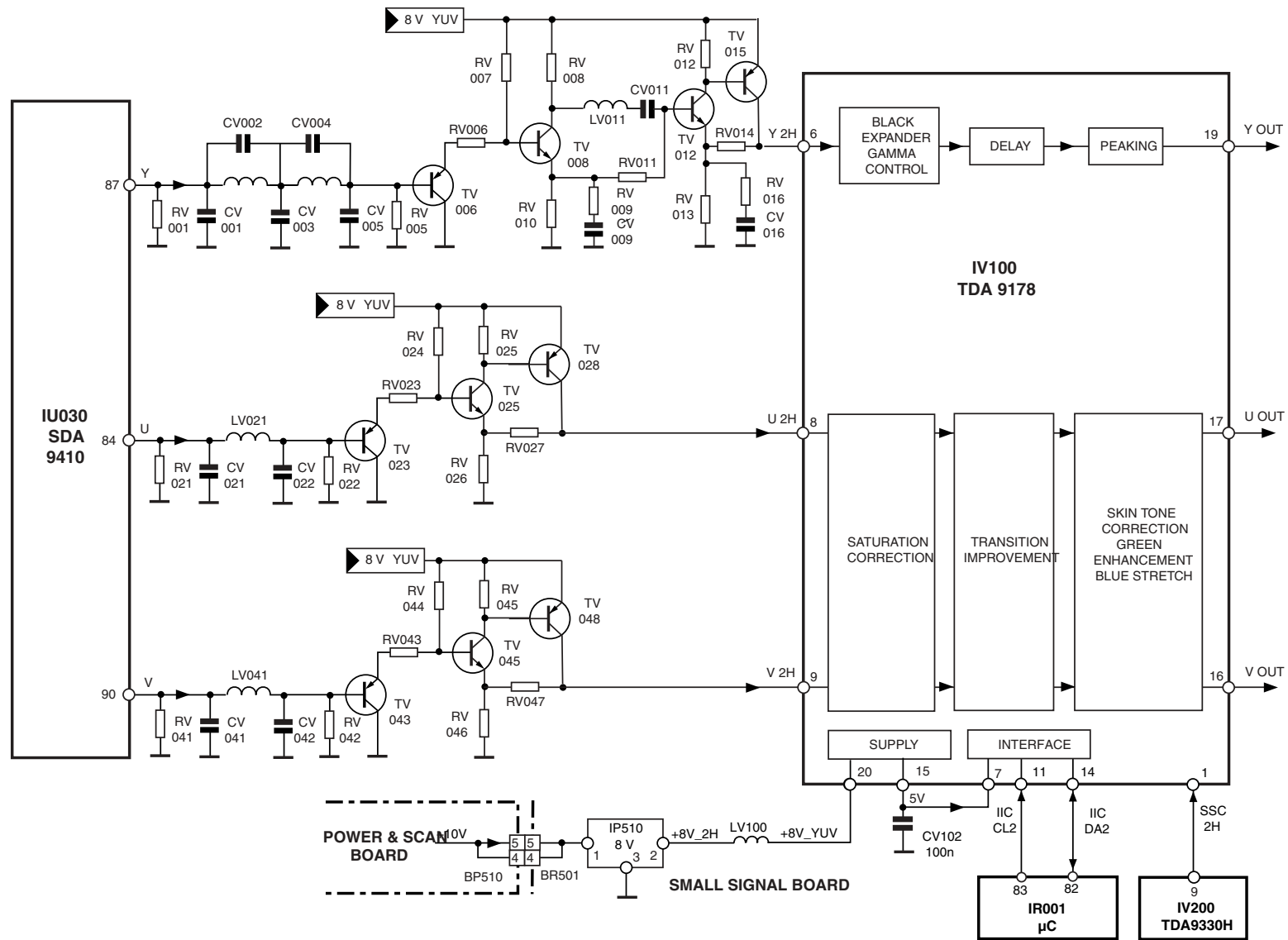
Estas señales son enviadas al circuito integrado IV100.

CIRCUITO DE SINCRONIZACIÓN

La señal de vídeo compuesta procedente de los canales principal y secundario entra en los circuitos integrados IU002 y IU003 por la patilla 62. Una vez que el procesamiento interno ha concluido, vuelven a salir en forma de 50 Hz VS y 15,625 Hz HS respectivamente por las patillas 51 y 54 de los circuitos integrados IU002 e IU030. Estas señales de sincronismo son aplicadas a IU030 por las patillas 26 y 27 para el canal principal y las patillas 77 y 78 para el canal secundario.

Estas señales servirán para enclavar a varios PLL, y las señales de sincronización 100 Hz VDFL (patilla 5) y 31,250 Hz HDFL (patilla 4) para generar las bases de tiempos para el canal principal.

NOTAS



PROCESAMIENTO POST-DIGITALIZACIÓN

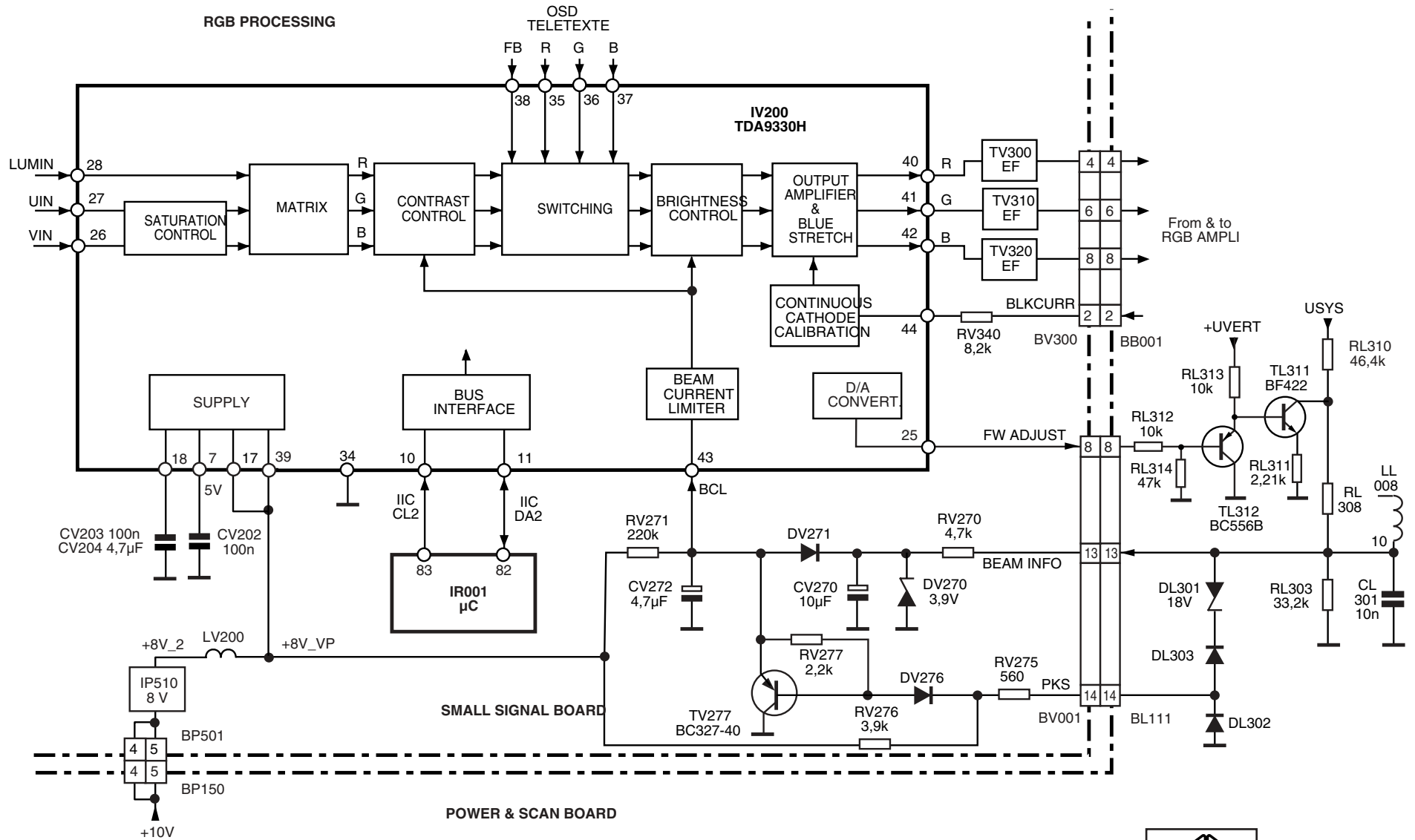
Cuando las señales Y_OUT, U_OUT y V_OUT salen del convertidor de 50/100 Hz, están distorsionadas por los armónicos provocados por la frecuencia de reloj. Por esta razón tienen que ser filtradas (smoothing filter) y efectuar una corrección en el tiempo de propagación a la señal Y_OUT (TV006/008/012/015).

CIRCUITO DE MEJORA DE LAS TRANSICIONES

Esta función es controlada por el circuito integrado IC100 (TDA9178). Los ajustes para este circuito son realizados por IR001, a través del bus IIC2. Las correcciones efectuadas por este circuito son las siguientes:

- Retardo de luminancia.
- Optimización de corrección de Gamma.
- Reducción de ruido.
- Mejora de las transiciones.
- Ajuste de la saturación y balance de color, dependiendo de la luminancia (del color "carne", mejora de la reproducción del verde, así como la expansión del azul).

NOTAS



PROCESAMIENTO DE LAS RGB

Las señales UIN y VIN son ajustadas en nivel (saturación) antes de ser matizadas con la señal de LUMIN. Las señales RGB resultantes, a través de la etapa de contraste, son conmutadas con las señales OSD/TELETEXT RGB de las patillas 35/36/37 de IV200. La señal FB (patilla 38) controla esta etapa conmutadora. A continuación, pasan por las etapas de brillo, circuito de expansión del azul y amplificadores, estas señales de RGB salen por las patillas 40/41/42 de IV200 y son enviadas a los amplificadores de potencia RGB.

LIMITACIÓN DE LA CORRIENTE DE HAZ

La tensión de la corriente de haz (BCL), entra por la patilla 43 de IV200. Es limitada a 3'9V por DV270 y a -18V por DL301.

Si la tensión es superior a 3'3V, el brillo y el contraste no son afectados. Si la tensión cae por debajo de 3'3V, se limita el contraste. Si la tensión sigue bajando, al alcanzar 1'8V, también es limitado el brillo.

El transistor TV277 utiliza la información PeaK Sense para reducir el brillo y el contraste instantáneamente en el caso de que la corriente de haz aumente bruscamente.

La señal FW ADJUST compensa la corriente de haz cuando existen barras negras en la pantalla (imagen 4/3 en un tubo 16/9 e imagen 16/9 en un tubo 4/3). Esta tensión es de unos 3V en los dos casos anteriores y disminuye la tensión BEAM INFO por TL312/TL311. Esta tensión es próxima a cero en los demás casos.

CONTROL DEL TUBO

El control del tubo para blanco y negro está basado en la información BLKCURRE de la patilla 44 de IV200. Esta información también informa al μC IR001, por medio de IV200 y el bus IIC2, cuando el tubo está caliente.

NOTAS

AMPLIFICADORES RGB

CONTENIDO

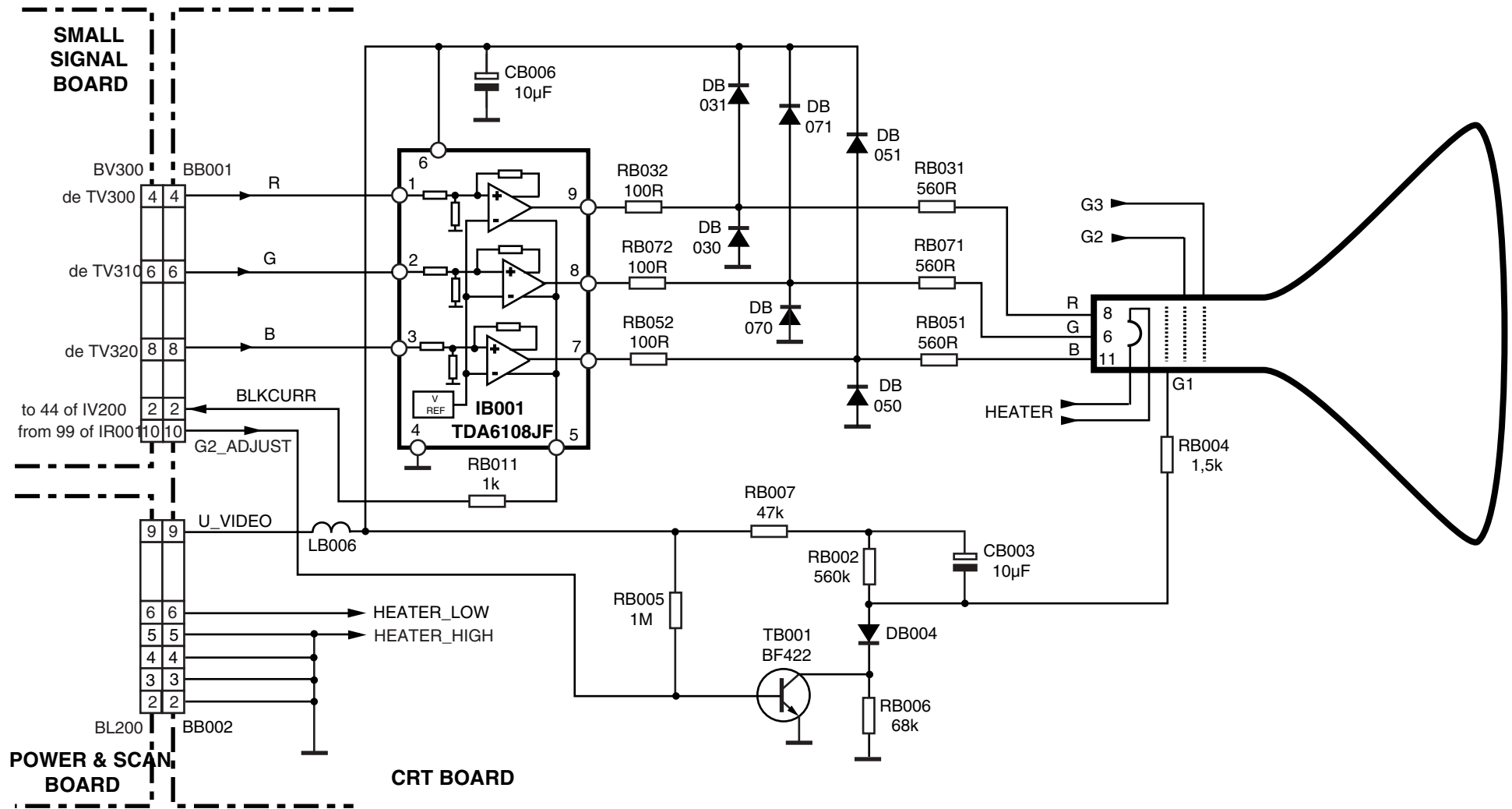
AMPLIFICADORES RGB (modelos con 1 circuito integrado triple)

AMPLIFICADORES RGB (modelos con 3 circuitos integrados)

CIRCUITO BSVM

RGB AMPLIFIER

104



AMPLIFICADORES RGB

El circuito integrado TDA6108 es el encargado de amplificar las señales RGB. Este circuito contiene tres amplificadores independientes con sus correspondientes resistencias de realimentación. La ganancia de cada amplificador es de 51.

Los diodos DB030/031, DB050/051 y DB070/071 protegen a IB001 contra descargas del tubo.

CIRCUITO ANTIPUNTO

Mientras el TV está funcionando, el transistor TB001 está saturado, el condensador CB003 es cargado a unos 195V y la G1 del tubo se mantiene polarizada a 0'7V por el diodo DB004.

Inmediatamente que el TV es apagado, la tensión UVIDEO cae rápidamente a cero y pasa a ser negativa (aproximadamente -195V) en la armadura de CB003 y como consecuencia en la G1 del tubo.

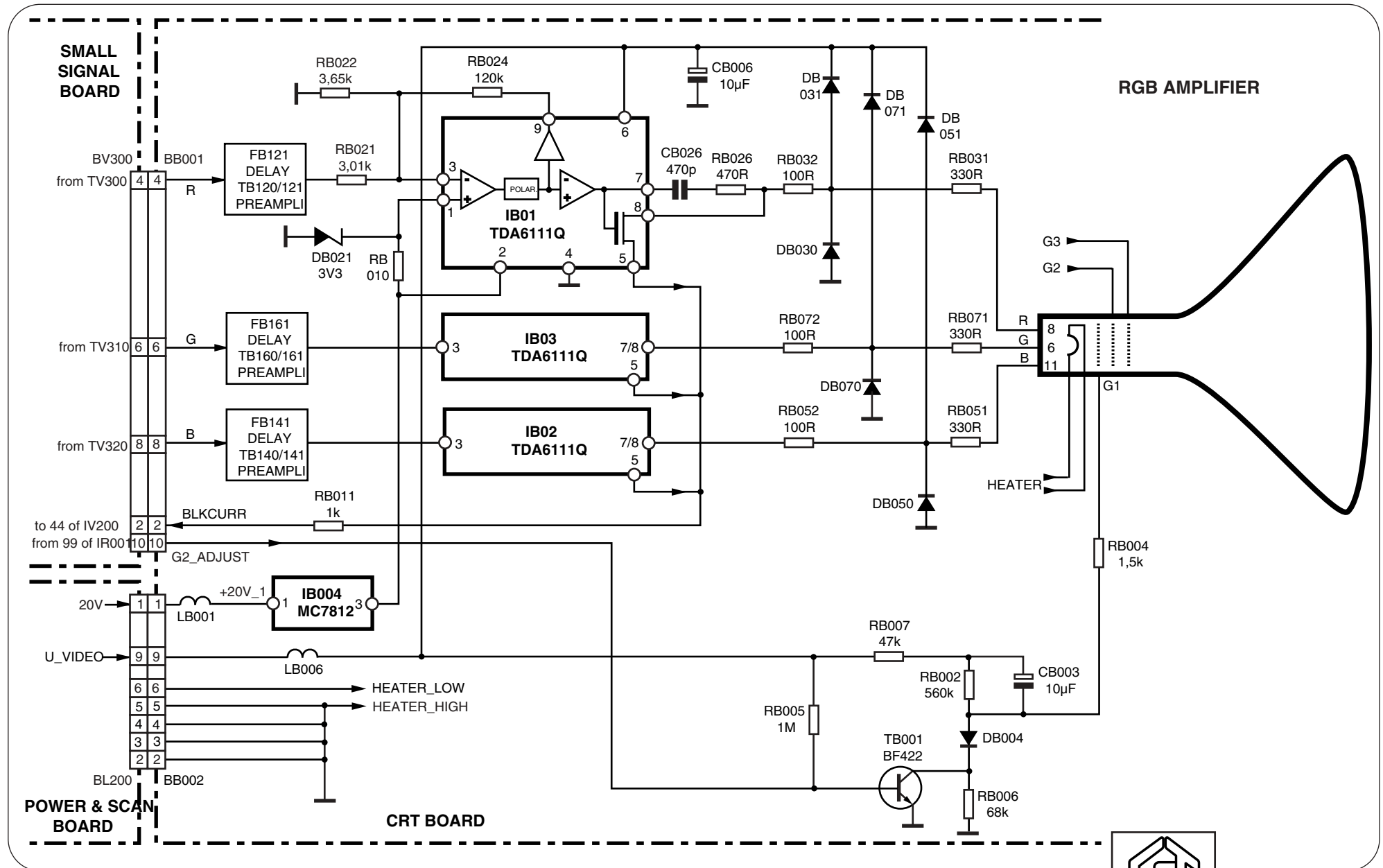
AJUSTE DE LA G2

Se efectúa utilizando el método visual (ajustando el potenciómetro de la G2 justo hasta el punto en que aparecen las líneas de retrazo en la pantalla).

El transistor TB001 debe ser bloqueado durante este ajuste, la tensión en la G1 del tubo es de 20V. Esto garantiza una caída de tensión de unos 20V cuando la G1 sea de nuevo puesta a masa.

ATENCIÓN : Si la tensión de la G2 es muy baja, la señal de información BLKCURR será consecuentemente baja y bloqueará el control del μC (esperando la información de "tubo caliente").

NOTAS



AMPLIFICADORES RGB

Para la amplificación de las señales RGB, se utilizan tres integrados TDA6111Q. La ganancia de cada uno de ellos (aproximadamente 35) es fijada por las resistencias RB024/022/021, RB044/042/041 y RB064/062/061.

Los circuitos de retardo FB121, FB141 y FB161 (20 ns) compensan el retardo del circuito BSVM. Los amplificadores TB120/121, TB140/141 y TB160/161 compensan las pérdidas causadas por los circuitos de retardo.

Los diodos DB030/031, DB050/051 y DB070/071 protegen a los circuitos integrados contra descargas del TRC.

CIRCUITO ANTIPUNTO

Mientras el TV está funcionando, el transistor TB001 está saturado, el condensador CB003 es cargado a unos 195V y la G1 del tubo se mantiene polarizada a 0'7V por el diodo DB004.

Inmediatamente que el TV es apagado, la tensión UVIDEO cae rápidamente a cero y pasa a ser negativa (aproximadamente -195V) en la armadura de CB003 y como consecuencia en la G1 del tubo.

AJUSTE DE LA G2

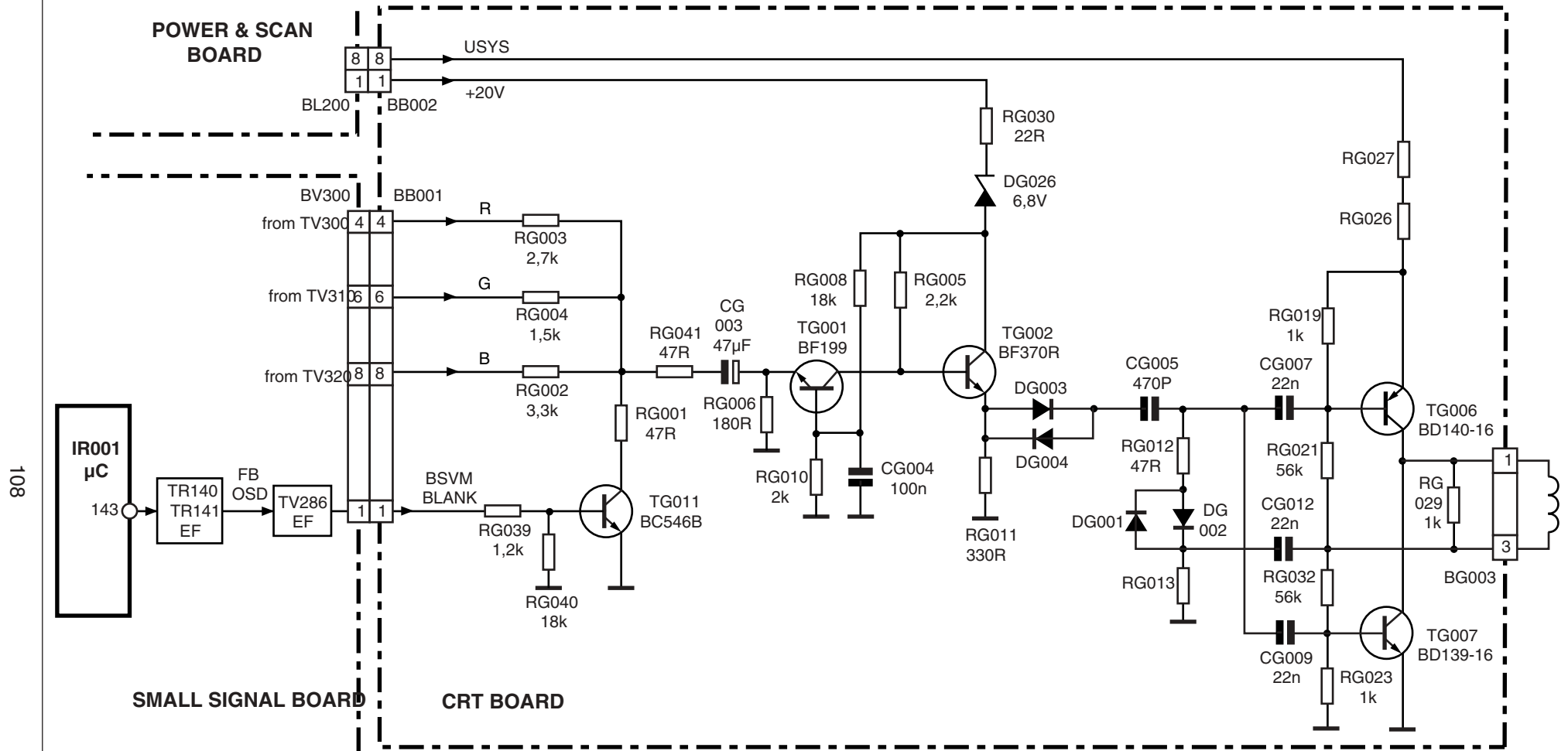
Se efectúa utilizando el método visual (ajustando el potenciómetro de la G2 justo hasta el punto en que aparecen las líneas de retrazado en la pantalla).

El transistor TB001 debe ser bloqueado durante este ajuste, la tensión en la G1 del tubo a 20V. Esto garantiza una caída de tensión de unos 20V cuando la G1 sea de nuevo puesta a masa.

ATENCIÓN : Si la tensión de la G2 es muy baja, la señal de información BLKCURR será consecuentemente baja y bloqueará el control del μC (esperando la información de "tubo caliente").

NOTAS

BSVM STAGE



BSVM (BEAM SCAN VELOCITY MODULATION)

El principio de esta corrección es acelerar el movimiento del spot en la primera mitad de una transición negro/blanco y desacelerarlo en la segunda mitad de la transición. Como la luminosidad del spot es inversamente proporcional a la velocidad, el comienzo de una transición será oscurecida mientras que el final será más luminosa.

La señal de luminancia es reconstruida desde las RGB y las resistencias RG002 a RG004. Esta señal es amplificada por TG001/TG002 (modelos con 1 C.I.) o por TG001/TG002/TG004/TG005 (modelos con 3 C.I.), y aplicada al circuito diferenciador (detector de transiciones) CG005/RG012/RG013. La corriente de corrección es suministrada por un amplificador complementario de clase C (TG006/TG007) a la bobina de corrección de 3 μ H.

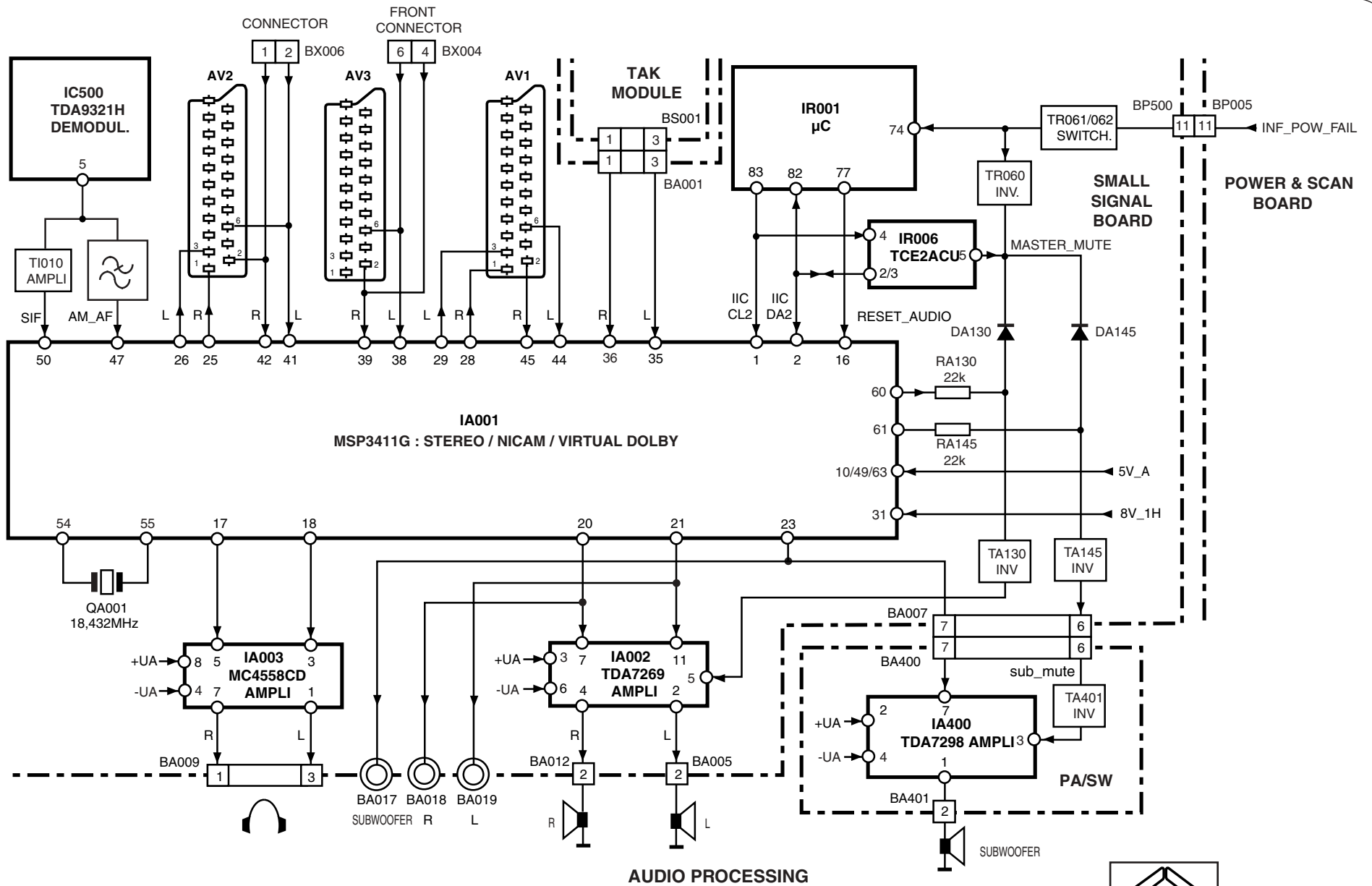
La línea FB_OSD anula la función BSVM cuando se activan los menús o el teletexto con el fin de no distorsionar los caracteres mostrados en la pantalla.

NOTAS

PROCESAMIENTO DEL AUDIO

CONTENIDO

PROCESAMIENTO DEL AUDIO



PROCESAMIENTO DEL AUDIO

El circuito integrado IA001 (MSP3411G) es utilizado para el procesamiento del audio. La frecuencia del reloj es de 18'432 MHz. Está controlado a través del bus IIC2 por el μ C (IR001) y el reset es efectuado por la salida de la patilla 77.

Este circuito controla:

- La demodulación de las interportadoras de audio FM.
- La demodulación del audio NICAM.
- La conmutación de varias fuentes de audio analógico para las salidas SCART.
- La conversión analógica / digital de varias fuentes de audio.
- La corrección de estas señales digitales de audio (tono, pseudo-estéreo, estéreo, ampliado, volumen, virtual Dolby, etc.).
- La conversión digital / analógica.

Las señales de audio para los auriculares están disponibles en las salidas 17 y 18 de IA001 y posteriormente son amplificadas por IA003.

Las señales de audio para los altavoces están disponibles en las salidas 20 y 21 de IA001 y de aquí son enviadas al amplificador de potencia IA002.

El circuito integrado IA400 es el encargado de la amplificación de potencia del canal subwoofer.

Los transistores TA130, TA145 y TA401 son controlados por la salida 5 de IR006, las patillas 60 y 61 de IA001 y el mute de audio.

La salida 5 de IR006 es activa en :

- Los cambios de programa.
- La búsqueda de emisoras.
- Muting (botón mute).
- Al encender el TV, mientras el TRC no esté caliente.
- Al apagar el TV.
- Mientras el TV permanezca en modo Standby

La salida 60 de IA001 es activa cuando se selecciona un amplificador exterior GD (En menú de SONIDO).

La salida 61 de IA001 es activa cuando se selecciona un amplificador subwoofer exterior (En menú de SONIDO).

NOTAS

MÉTODOS DE FUNCIONAMIENTO

CONTENIDO

CONTROL DE LA FUENTE PRINCIPAL CON 230V AC

CONTROL DE LA FUENTE DE STANDBY UTILIZANDO EL MÉTODO DE BAJA TENSIÓN

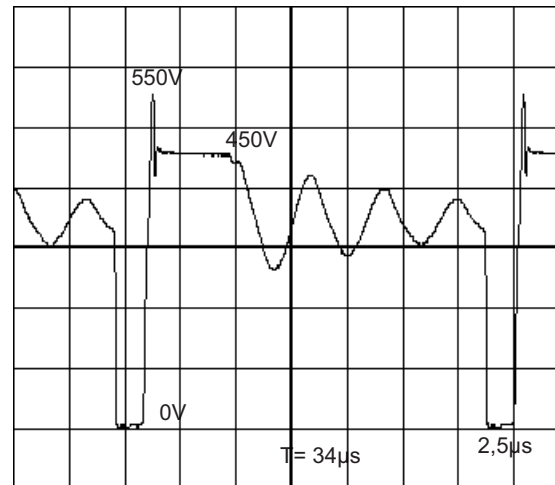
CONTROL DE LA FUENTE PRINCIPAL UTILIZANDO EL MÉTODO DE BAJA TENSIÓN.

COMPROBACIÓN DE LA FUENTE DE ALIMENTACIÓN PRINCIPAL USANDO UNA RESISTENCIA DE CARGA (230V AC)

- Retirar el conector BL111.
- Desoldar la patilla 5 de LL008.
- Conectar una bombilla de 230V 100W entre USYS y masa.
- Conectar el punto CNT1 (1 de BL111) a los 20V (cátodo de DP120).
- Conectar a la red de 230V AC

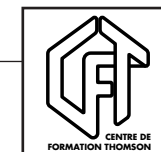
Medidas:

TP020, DRENADOR
(100V/div, 5 μ s/div)



USYS = 125,2V
20V = 23,6V
10V = 12V
6V = 6,3V
+UA = + 18V
- UA = - 18,7V

NOTAS :



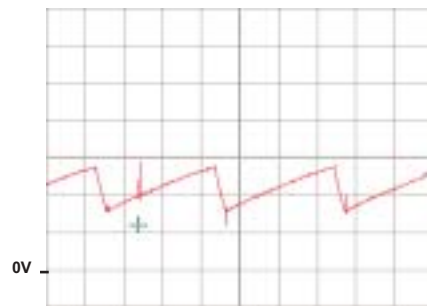
NOTAS :

CONTROL DE LA FUENTE DE STANDBY UTILIZANDO EL MÉTODO DE BAJA TENSIÓN

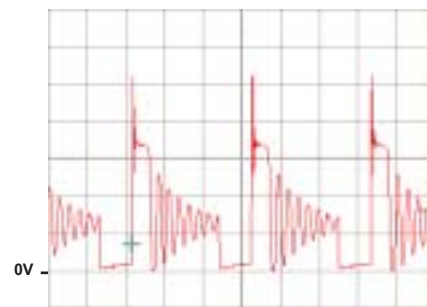
EN MODO ECO

- Desconectar de la red
- Descargar CP010
- Desconectar los conectores BP005, BP150 y BL111
- La resistencia RP020
- Conectar una resistencia de 150 Ohms. 1W entre los 3V3_STBY y la masa del secundario.
- Alimentar con 24 Voltios DC, y 24V en el cátodo de DP006.
- Comprobar:

- la frecuencia del oscilador patilla de IP020: **16'3 kHz** (2V/div, 20µs/div)



- la señal en el drenador patilla de IP020: (20V/div, 20µs/div)



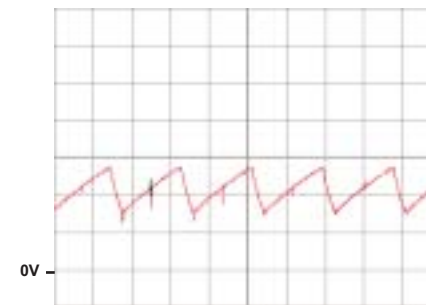
- tensiones:
patilla 2 de IP020: 9'7 V
7V_STBY: 7'15 V
3V3_STBY: 3'46 V

patilla 5 de IP020: 1'6 V
5V_STBY: 5 V

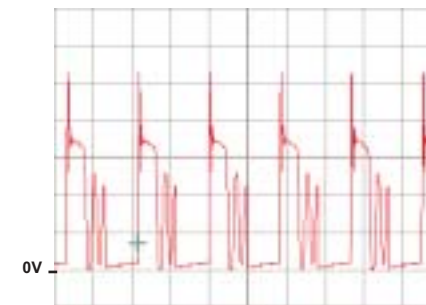
EN MODO STANDBY

- Quitar la resistencia de 150 Ohms (opcional)
- Poner a masa la línea ECO_STANDBY (RP152 lado del transformador)
- Comprobar:

- la frecuencia del oscilador patilla 1 de IP020: **27'1 kHz** (2V/div, 20µs/div)

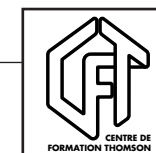


- la señal en el drenador patilla 3 de IP020: (20V/div, 20µs/div)



- Tensiones:
patilla 2 de IP020: 9'7 V
7V_STBY: 7'32 V
3V3_STBY: 3'46 V

patilla 5 de IP020: 1'55 V
5V_STBY: 5 V



CONTROL DE LA FUENTE PRINCIPAL UTILIZANDO EL MÉTODO DE BAJA TENSIÓN.

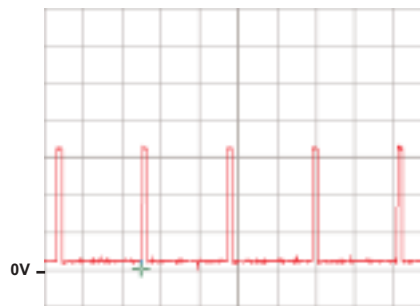
- Utilice la configuración de la fuente de alimentación de standby en modo **STANDBY**

- Comprobar:

- la frecuencia del oscilador
patilla 6 de IP170: **2'3 kHz**
(1V/div, 200µs/div)



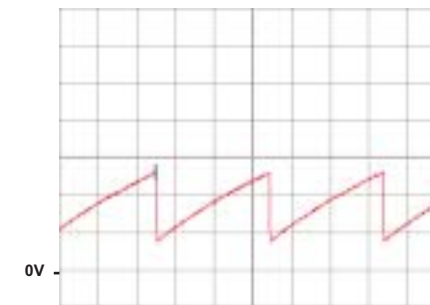
- la señal del modulador PWM
patilla 7 de IP170
(0.5V/div, 200µs/div)



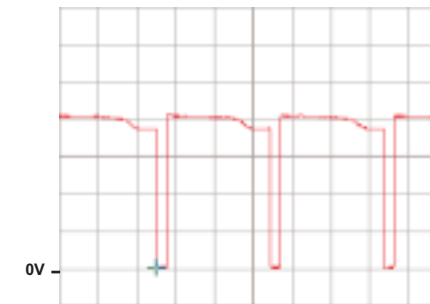
- Cortocircuitar la base y el emisor de TP210 (conectar la resistencia RP213 por el lado del potenciómetro a 5V_STBY)
- Cargar la línea de 10V utilizando una resistencia de 150 Ohms.

- Comprobar:

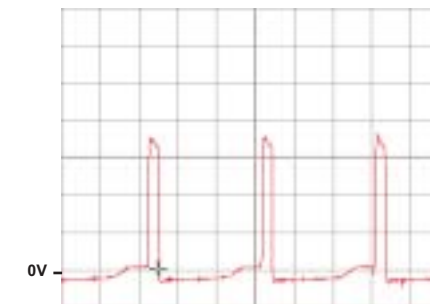
- la frecuencia del oscilador
patilla 6 de IP170: **17'1 kHz**
(1V/div, 20µs/div)



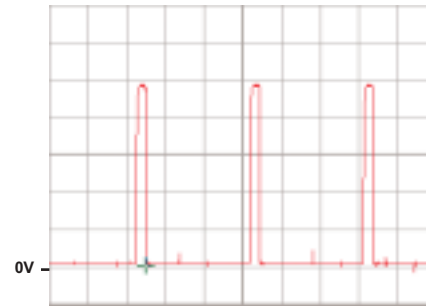
- la señal PWN en el colector
de TP160
(2V/div, 20µs/div)



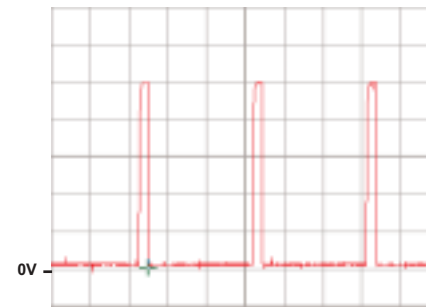
- impulsos del primario
patilla 5 de IP050
(2V/div, 20µs/div)



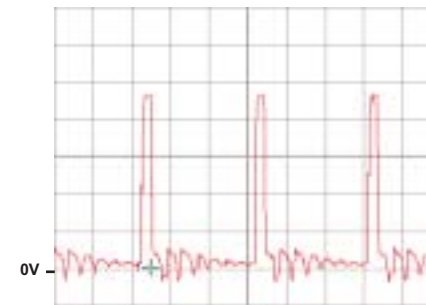
- impulsos del primario
patilla 7 de IP050
(2V/div, 20 μ s/div)



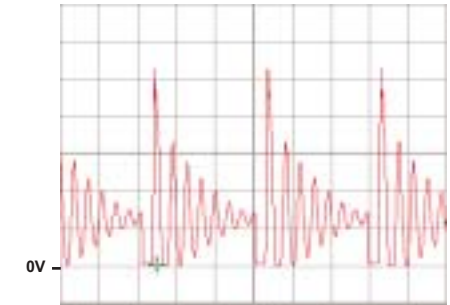
- impulsos del primario
patilla 1 de IP050
(2V/div, 20 μ s/div)



- la señal en la puerta
de TP020
(2V/div, 20 μ s/div)

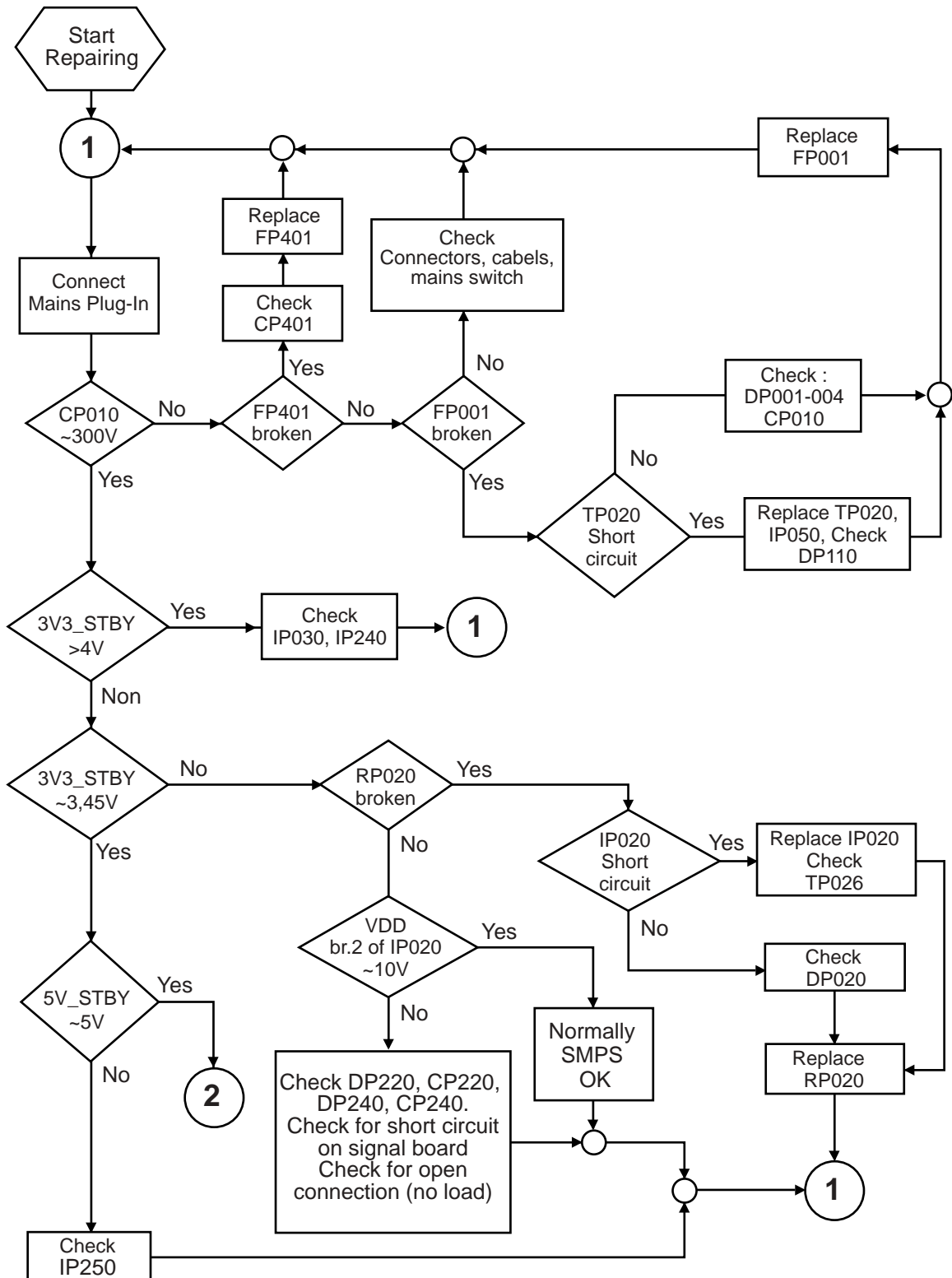


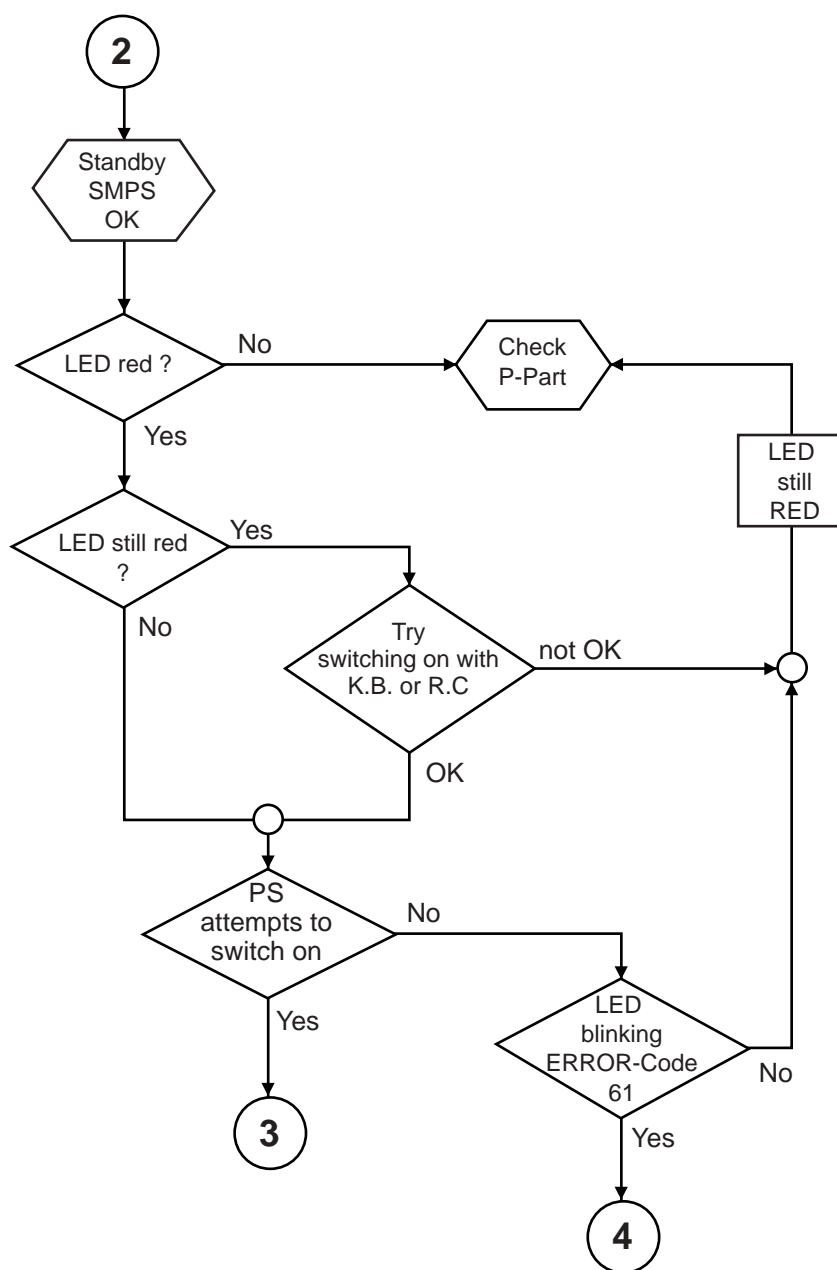
- la señal en el drenador
de TP020
(20V/div, 200 μ s/div)

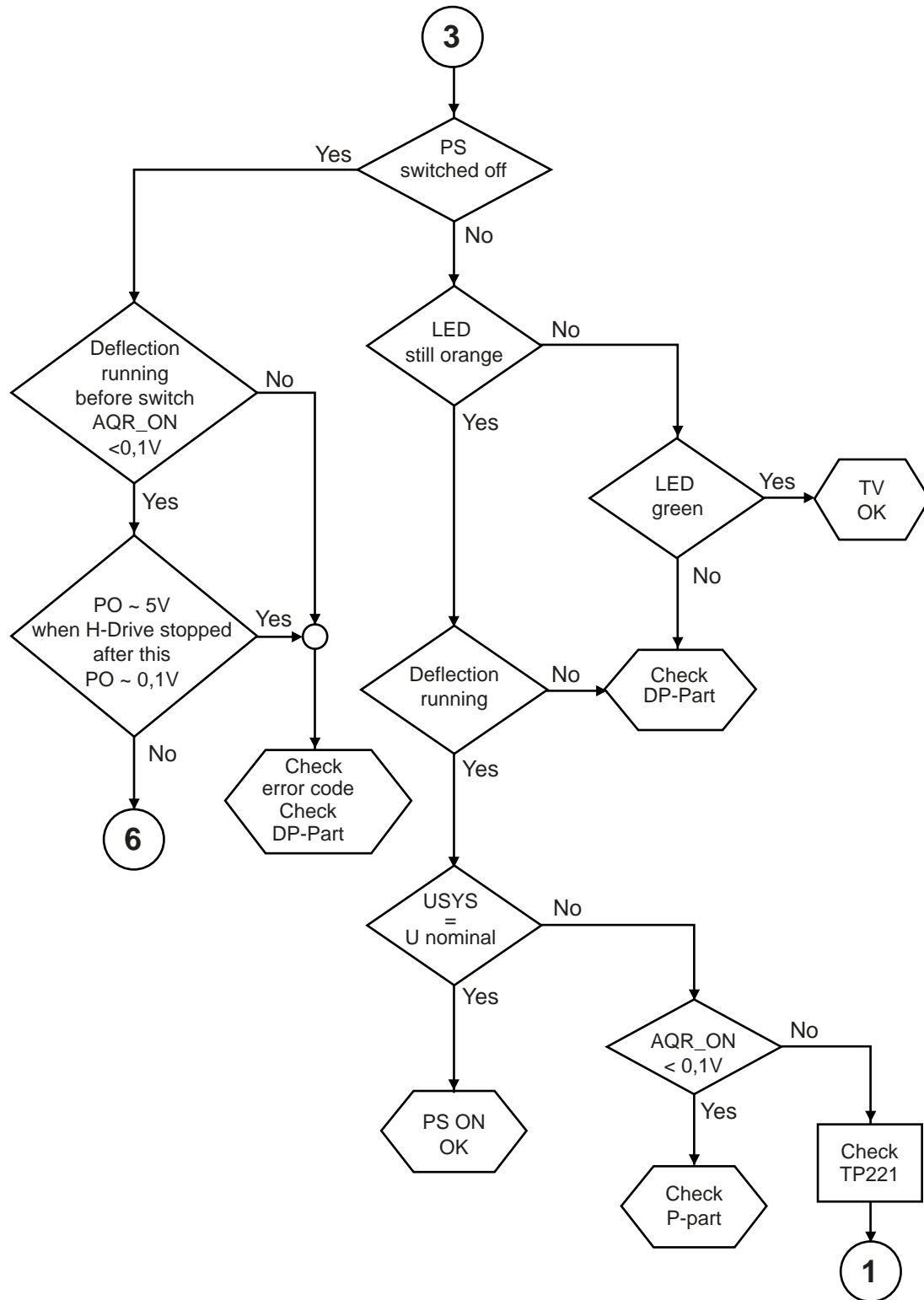


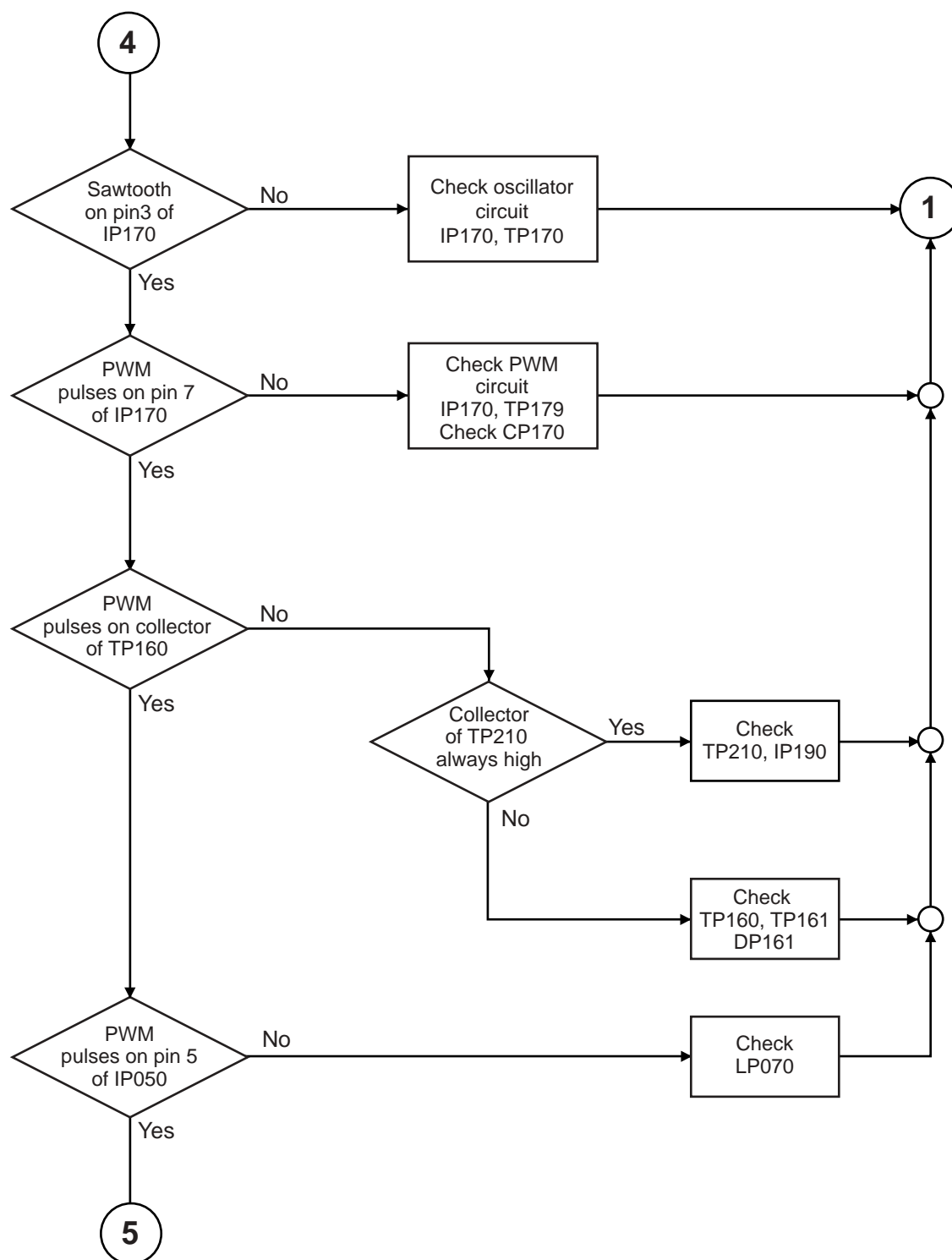
- Tensiones:

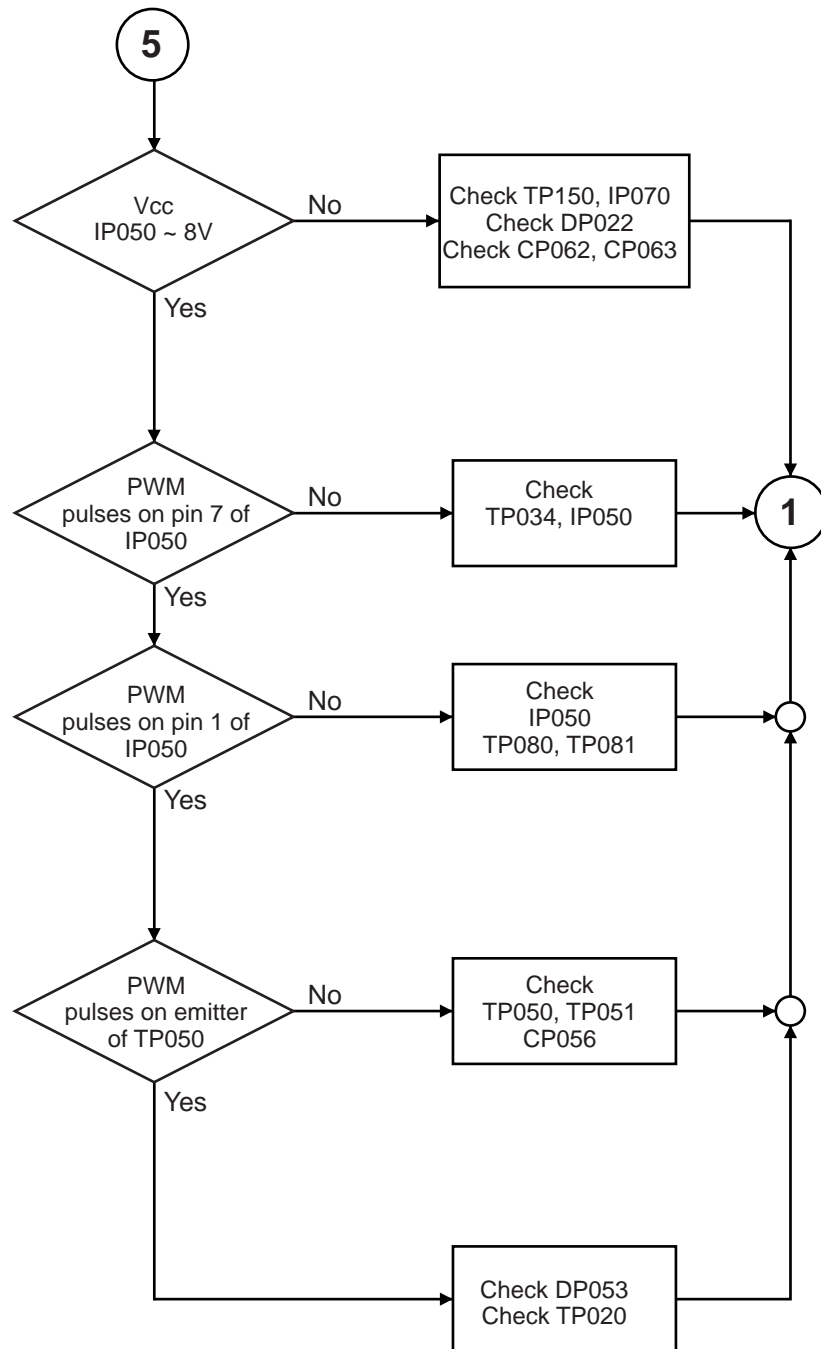
USYS = 78 Volts
 +UA = 9.1 Volts
 -UA = - 9.5 Volts
 20V = 13.1 Volts
 10V = 6.3 Volts
 6V = 4.15 Volts

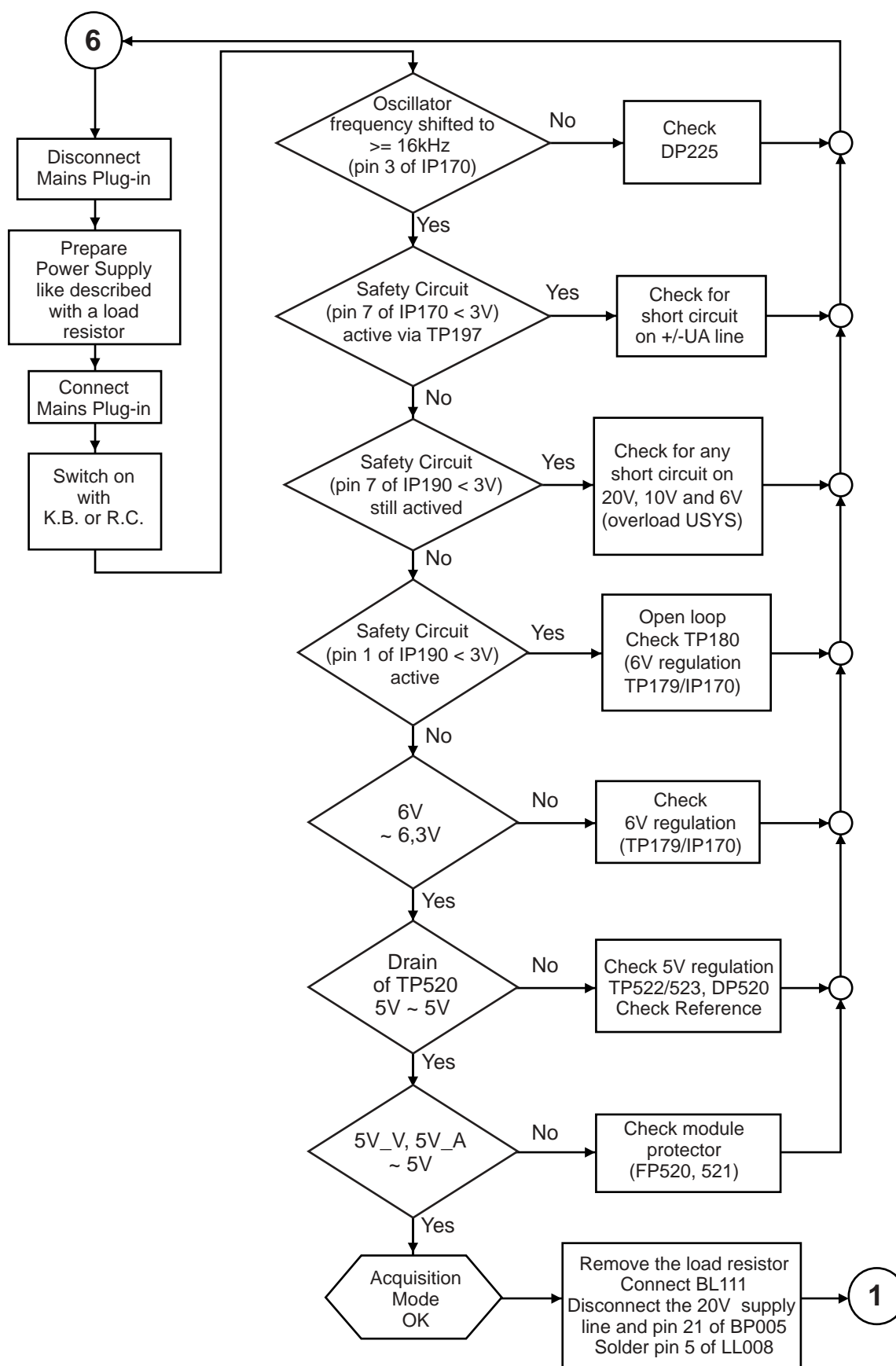












Technical documentation to be used by maintenance technicians only
Documentation technique exclusivement destinée aux professionnels de la maintenance
Diese Angaben und Hinweise sind ausschließlich für den Service des Fachhändlers bestimmt
Documentazione tecnica destinata esclusivamente ai tecnici dell'assistenza
Documentación técnica destinada exclusivamente a los profesionales de mantenimiento

THOMSON multimedia
Sales UK Limited
Crown Road
Enfield, Middlesex EN1 1DZ (England)
Tel. : 0181 344 4444

THOMSON multimedia
Scandinavia AB
Flörettgatan 29 C
S-25467 Helsingborg (Sweden)
Tel. : 042 25 75 00

THOMSON multimedia
Sales Germany GmbH & Co oHG
Karl-Wiechert-Allee 74
30625 Hannover

THOMSON multimedia
Poland
ul.Gen.L. Okulickiego 7/9
05-500 Piaseczno (Varsovie)
Tel. : (22) 757 10 80

THOMSON multimedia
Sales France
46, quai Alphonse Le Gallo
92648 Boulogne cedex
Tel. : 01 41 86 60 00
Internet : www.thomson-network.com

THOMSON multimedia
Czech s.r.o.
ul. Dopravaku - dum Genius 1
Dolní Chabry
CZ - 18400 Prague 8
Tel. : (2) 688 67 70

THOMSON multimedia
Hungary KFT
Radnoti Miklos utca 2
1137 Budapest
Tel. : (1) 131 09 32

THOMSON multimedia
Switzerland
Seewenweg 5
CH-4153 Reinach
Tel. : (61) 716 96 60

THOMSON multimedia
Austria GmbH
Jochen-Rindt Strasse 25
A-1230 Wien
Tel. : (0222) 615 70 70

THOMSON multimedia
Sales Portugal
Avenida da Boavista, 3521
4106 Porto
Tel. : (2) 618 76 41

THOMSON multimedia
Sales Spain
Avenida de Burgos 8A
28036 Madrid
Tel. : (91) 384 14 19

THOMSON multimedia
Sales Italy S.p.A.
Via Leonardo da Vinci, 43
20090 Trezzano sul naviglio (Milano)
Tel. : (02) 48 41 43 20

The description and characteristics given here are of informative significance only, and non committal. To keep up the high quality of our products, we reserve the right to make any changes or improvement without previous notice. • Les descriptions et caractéristiques figurant sur ce document sont données à titre d'information et non d'engagement. En effet, soucieux de la qualité de nos produits, nous nous réservons le droit d'effectuer, sans préavis, toute modification ou amélioration. • Die Beschreibungen und Daten in dieser Anleitung dienen nur zur Information und sind nicht bindend. Um die Qualität unserer Produkte ständig zu verbessern, behalten wir uns das Recht auf Änderungen vor. • Le descrizioni e le caratteristiche date su questo documento sono fornite a semplice titolo informativo e senza impegno. Ci riserviamo il diritto di eseguire, senza preavviso, qualsiasi modifica o miglioramento. • Las descripciones y características que figuran en este documento se dan a título de información y no de compromiso. En efecto, en bien de la calidad de nuestros productos, nos reservamos el derecho de efectuar, sin previo aviso, cualquier modificación o mejora.