

# Динамично оперативно запомнящо устройство CM8108

MOS интегралната схема CM8108 е динамично ОЗУ с произволен достъп до всеки бит. Изходът е тип „три състояния“. Входовете и изходът (с изключение на входа „разрешение за схема“) са съвместими по нива с ТТЛ ИС.

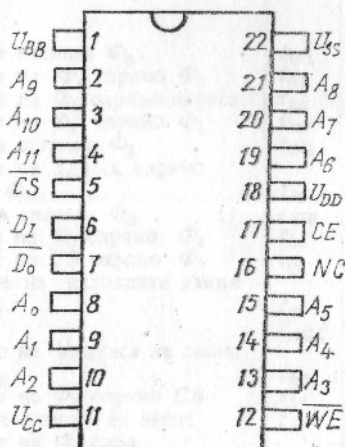
Регенерацията на записаната в паметта информация се извършва през 2 ms за 64 цикъла (подават се всички възможни комбинации на адресите от  $A_0$  до  $A_5$ ). Състоянието на входа „избор на схемата“ в този случай е без значение.

## Основни характеристики

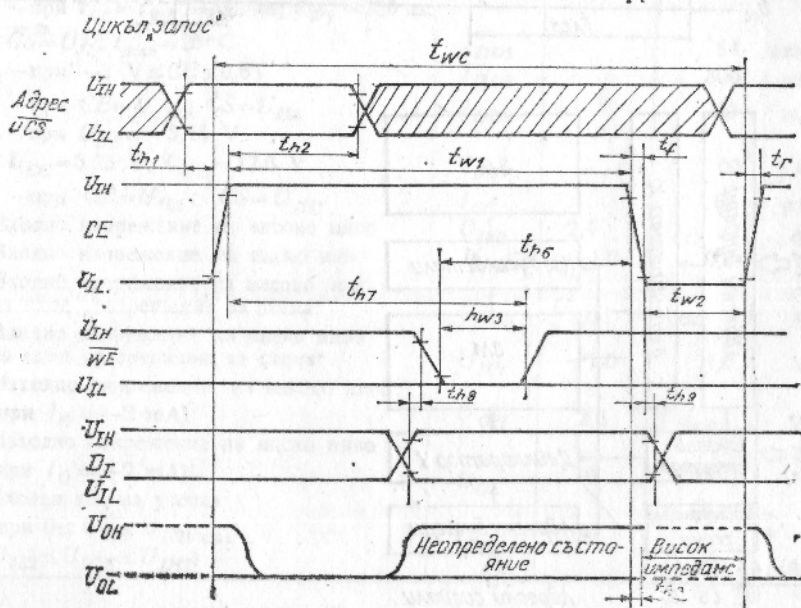
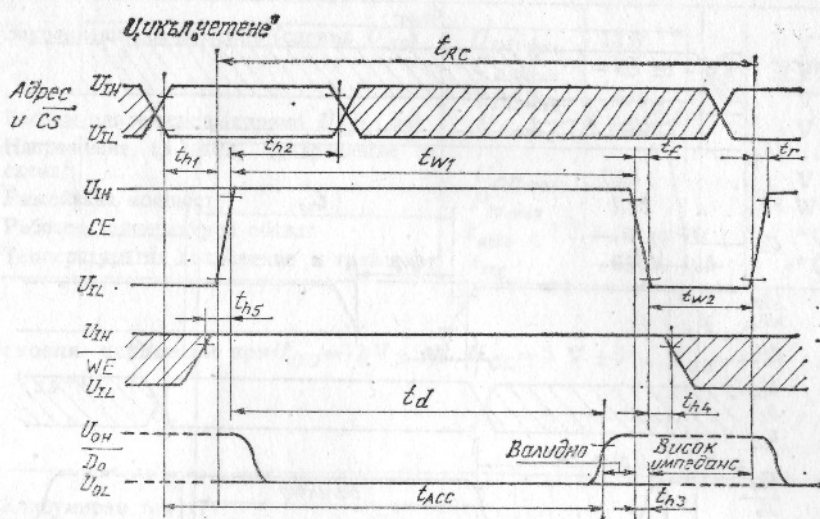
— Организация	4096×1 бита
— Време на достъп	200 ns
— Време за регенерация	2 ms
— Максимална консумирана мощност	750 mW

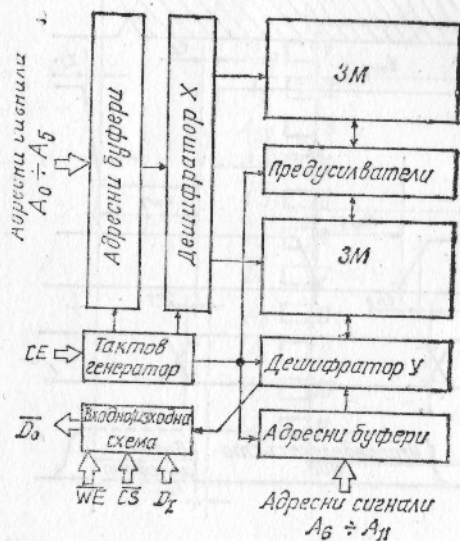
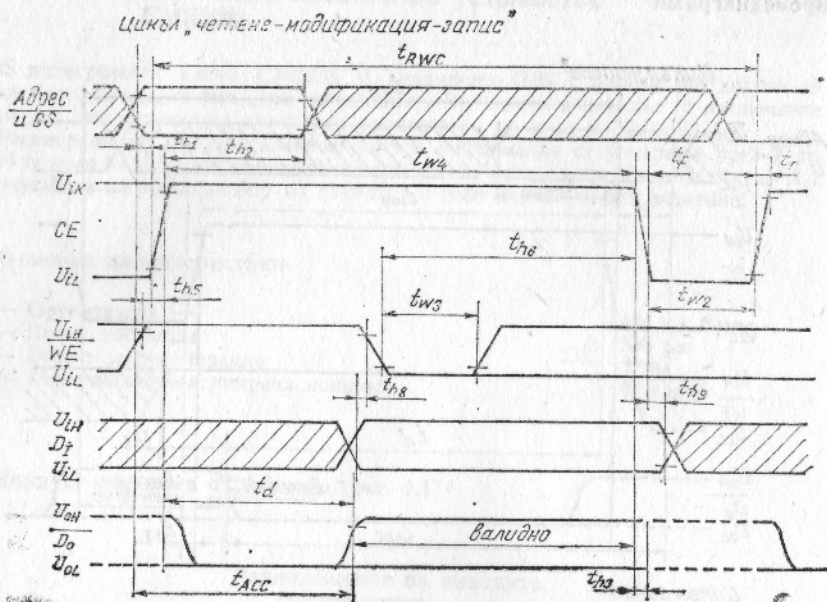
Корпус: керамичен с 22 извода (фиг. 1.17)

Разположение на изводите  
(поглед отгоре)



## Времени диаграми





Блоковая схема

## Гранични допустими параметри

Захранващи напрежения (спрямо $U_{SS}$ )	$U_{DD \max}$	13,5	V
	$U_{BB \max}$	-4,5 до -5,5	V
	$U_{CC \max}$	6,0	V
Входни напрежения (спрямо $U_{SS}$ )	$U_{I \max}$	6,25	V
	$U_{CE \max}$	13,5	V
Напрежение на вход „разрешение за схема“	$P_{D \max}$	1,25	W
Равсейвана мощност	$t_{amb}$	-10 до 70	°C
Работен температурен обхват	$t_{stg}$	-65 до 125	°C
Температура на съхранение и транспорт			

Основни параметри при  $U_{DD}=12\text{ V} \pm 5\%$ ,  $U_{CC}=5\text{ V} \pm 5\%$ ,  $U_{BB}=-5\text{ V} \pm 5\%$  и  $U_{SS}=0$

	min		max	
Консумиран ток				
- при $t_{RC}=t_{WC}=400\text{ ns}$ ; $t_{W1}=230\text{ ns}$ ;				
$\overline{CS}=U_{IL}$ ; $t_{amb}=25^\circ\text{C}$	$I_{DD1}$		54	mA
- при $-1\text{ V} \leq CE \leq 0,6\text{ V}$	$I_{DD2}$		300	$\mu\text{A}$
- при $CE=U_{IH2}$ ; $\overline{CS}=U_{IL1}$	$I_{DD3}$		60	mA
- при $U_{BB}=-5,25\text{ V}$ ;	$I_{BB}$		100	$\mu\text{A}$
$U_{CC}=5,25\text{ V}$ ; $U_{DD}=12,6\text{ V}$	$I_{CC}$		60	$\mu\text{A}$
- при $CE=U_{IL2}$ ; $\overline{CS}=U_{IH1}$	$U_{IH1}$	2,4	$U_{CC}+1$	V
Входно напрежение на високо ниво	$U_{IL1}$	-1,0	0,6	V
Входно напрежение на ниско ниво				
Входно напрежение на високо ниво за вход „разрешение за схема“	$U_{IH2}$	$U_{DD}-1$	$U_{DD}+1$	V
Входно напрежение на ниско ниво за вход „разрешение за схема“	$U_{IL2}$	-1,0	1,0	V
Изходно напрежение на високо ниво (при $I_O=-2\text{ mA}$ )	$U_{OH}$	2,4	$U_{CC}$	V
Изходно напрежение на ниско ниво (при $I_O=+2\text{ mA}$ )	$U_{OL}$	0	0,45	V
Входен ток на утечка (при $0 \leq U_I \leq U_{IH1 \max}$ ;	$I_{IR1}$			
$U_{IL2} \leq U_{ICE} \leq U_{IH2}$ )			10	$\mu\text{A}$

Изходен ток на утечка (при $CE = U_{IL2}$ или $\overline{CS} = U_{IH1}$ ; $0 \leq U_O \leq 5,25 \text{ V}$ )	$I_{OR}$		1,0	$\mu\text{A}$
Входен ток на утечка по вход $CE$ (при $0 \leq U_{ICE} \leq U_{IH2 \text{ max}}$ )	$I_{IR2}$		2,0	$\mu\text{A}$
Входен капацитет (при $t_{amb} = 25^\circ \text{C}$ ; $f = 1 \text{ MHz}$ ; $U_I = 0$ ) — за адресните входове и вход $\overline{CS}$ — за вход $CE$ — за входове $D_I$ и $\overline{WE}$	$C_I$		6 25 10	pF pF pF
Изходен капацитет (при $t_{amb} = 25^\circ \text{C}$ ; $f = 1 \text{ MHz}$ ; $U_O = 0$ )	$C_O$		7	pF
Време за задържане на адреса спрямо $CE$	$t_{h1}$	0		ns
Време за задържане на стабилен адрес спрямо включен $CE$	$t_{h2}$	100		ns
Продължителност на сигнала $CE$ (изключено състояние)	$t_{W2}$	130		ns
Преден и заден фронт на сигнала $CE$	$t_r$ ; $t_f$	10		ns
Време за задържане на изход с висок импеданс спрямо изключен $CE$	$t_{h3}$	0		ns
Цикъл „четене“	$t_{RC}$	400		ns
Продължителност на сигнала $CE$ (включено състояние)	$t_{W1}$	230		ns
Време за закъснение на изходния сигнал спрямо $CE$	$t_d$		180	ns
Време на достъп	$t_{ACC}$		200	ns
Време за задържане на $\overline{WE}$ спрямо изключен $CE$	$t_{h4}$	0		ns
Време за задържане на $CE$ спрямо $\overline{WE}$	$t_{h5}$	0		ns
Цикъл „запис“	$t_{WC}$	400		ns
Продължителност на сигнала $CE$ (включено състояние)	$t_{W1}$	230	4000	ns
Време за задържане на изключен $CE$ спрямо $\overline{WE}$	$t_{h6}$	150		ns
Време за задържане на изключен $\overline{WE}$ спрямо включен $CE$	$t_{h7}$	150		ns
Време за задържане на входните сигнали спрямо $\overline{WE}$	$t_{h8}$	0		ns
Време за задържане на входните сигнали спрямо изключен $CE$	$t_{h9}$	0		ns

	min	max	
Продължителност на сигнала $\overline{WE}$	$t_{W3}$	50	ns
Цикъл „четене — модификация — запис“	$t_{RWC}$	520	ns
Продължителност на сигнала $CE$	$t_{W4}$	350	4000 ns
Време за задържане на $CE$ спрямо $\overline{WE}$	$t_{h5}$	0	ns
Време за задържане на $\overline{WE}$ спрямо изключен $CE$	$t_{h6}$	150	ns
Продължителност на сигнала $\overline{WE}$	$t_{W3}$	50	ns
Време за задържане на входните сигнали спрямо включен $\overline{WE}$	$t_{h8}$	0	ns
Време за задържане на входните сигнали спрямо изключен $CE$	$t_{h9}$	0	ns
Време за закъснение на изходния сигнал спрямо $CE$	$t_d$		180 ns
Време на достъп	$t_{ACC}$	200	ns

#### Условия на измерването:

1. Амплитуда на входните сигнали: от 0,6 V до 2,4 V.
2. Фронтове на входните сигнали:  $t_r \leq 20$  ns;  $t_f \leq 20$  ns.
3. Нива на отчитане:
  - за изходните сигнали  $U_O = 2$  V;
  - за входните сигнали  $U_{IH} = 2,4$  V и  $U_{IL} = 0,6$  V.
4. Изходен товар: 1 ТТЛ вход и  $C_L = 50$  pF.

#### Особености при експлоатация

1. Разрешава се превишаване на посочените гранични допустими параметри, както следва (но не по-дълго от 10 ms):

$U_{CC}$  — до 7,0 V;

$U_{DD}$  — до 20 V (спрямо  $U_{BB}$ ).

2. при реализиране на голяма памет трябва да се има пред вид следното:

а. Захранващото напрежение на подложката  $U_{BB}$  трябва да се включва първо и да се изключва последно, за да се облекчи захранващият блок.

б. Когато на адресните входове се подава логическа „0“, на съответните изводи се получава положителен отскок от порядъка на 10 mV, който нараства пропорционално на включените схеми. Този ефект намалява шумоустойчивостта.

в. При превключване на адресните сигнали от логическа „0“ към логическа „1“ съответните входове консумират ток 0,5 mA (максимално 1,5 mA). При голяма по обем памет тези токове се сумират и може да се получи голямо натоварване на изходния буфер, подаващ адресната информация.

3. Захранващото напрежение  $U_{CC}$  е включено само към изхода на схемата, за да реализира съвместимост по изход с ТТЛ ИС. Ако това не се налага, изводът  $U_{CC}$  може да се включи към  $U_{DD}$ .