

Статично оперативно запомнящо устройство CM8114

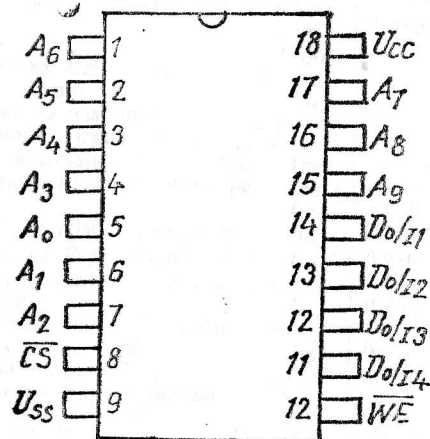
MOS интегралната схема CM8114 е статично ОЗУ с произволен достъп до всеки бит. Притежава общи изводи за входните и изходните данни, като изходите са тип „три състояния“. Входовете и изходите са съвместими по нива с TTL ИС.

Основни характеристики

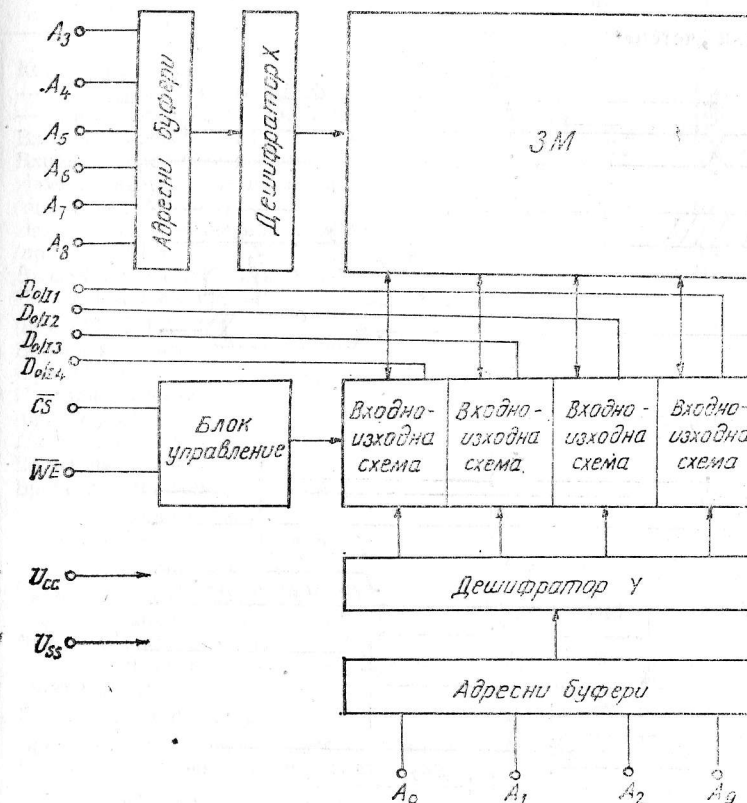
— Организация	1024 × 4 бита
— Време на достъп	450 ns
— Максимална консумирана мощност	700 mW

Корпус: керамичен с 18 извода (фиг. 1.16)

Разположение на изводите
(поглед отгоре)

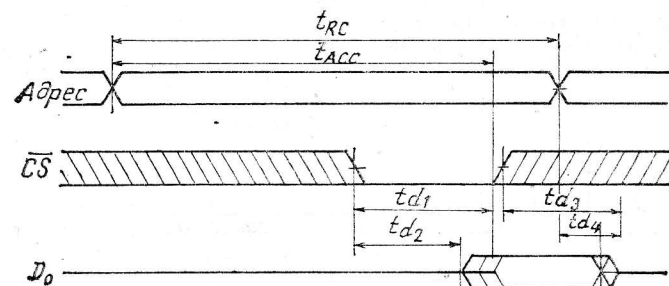


Блокова схема

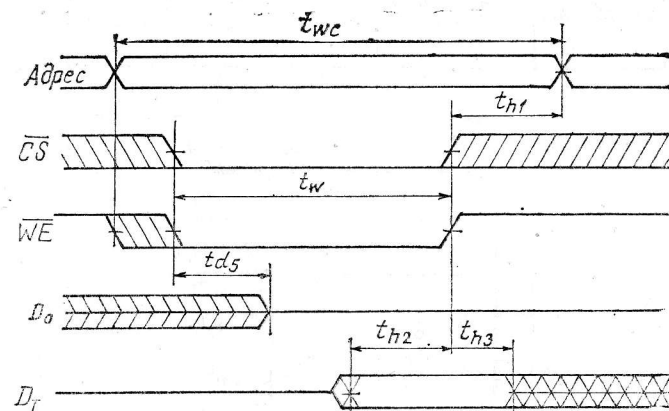


Времедиаграми

Цикъл „четене“



Цикъл „запис“



Гранични допустими параметри

Захранващо напрежение (спрямо U_{SS})	$U_{CC \max}$	7,0	V
Входни напрежения (спрямо U_{SS})	$U_{I \max}$	7,0	V
Разсейвана мощност	$P_D \max$	1,0	W
Работен температурен обхват	t_{amb}	0 до 70	°C
Температура на съхранение и транспорт	t_{stg}	-65 до 150	°C

Основни параметри при $U_{CC}=5 \text{ V} \pm 5\%$

	min	max	
Консумиран ток			
— при $t_{amb}=25^\circ \text{C}$; $U_I=5,25 \text{ V}$; $I_O=0$		120	mA
— при $t_{amb}=0^\circ \text{C}$; $U_I=5,25 \text{ V}$; $I_O=0$		135	mA
Входно напрежение на високо ниво	U_{IH}	2,4	V
Входно напрежение на ниско ниво	U_{IL}	-0,5	V
Изходно напрежение на високо ниво	U_{OH}	2,4	V
(при $I_O=-1,0 \text{ mA}$)		U_{CC}	V
Изходно напрежение на ниско ниво	U_{OL}	0,4	V
(при $I_O=2,1 \text{ mA}$)		10	μA
Входен ток на утечка (при $0 \leq U_I \leq 5,25 \text{ V}$)	I_{IR}		
Изходен ток на утечка	I_{OR}	10	μA
(при $\overline{CS}=2,4 \text{ V}$; $0,4 \text{ V} \leq U_{IH/O} \leq U_{CC}$)			
Входен капацитет	C_I	5	pF
(при $U_I=0$)			
Изходен капацитет	C_O	5	pF
(при $U_O=0$)			
Цикъл „четене“			
Време на достъп	t_{RC}	450 (200)	ns
Време за закъснение на изходните данни спрямо \overline{CS}	t_{ACC}	450 (200)	ns
Време за закъснение на активен изход спрямо \overline{CS}	t_{d1}	100 (70)	ns
Време за закъснение на изходните данни спрямо изключен \overline{CS}	t_{d2}	20	ns
Време за закъснение на изходните данни спрямо изключен адрес	t_{d3}	0 (0)	ns
Време за закъснение на изходните данни спрямо изключен адрес	t_{d4}	50	ns
Цикъл „запис“			
Продължителност на сигнала \overline{WE}	t_{WC}	450 (200)	ns
Време за задържане на адреса спрямо \overline{WE}	t_W	200 (120)	ns
Време за закъснение на изходните данни спрямо \overline{WE}	t_{h1}	0	ns
Време за закъснение на входните данни спрямо изключен \overline{WE}	t_{d5}	0	ns
Време за закъснение на входните данни след изключен \overline{WE}	t_{h2}	200 (120)	ns
	t_{h3}	0	ns

Условия на измерването:

1. Входни нива: 0,8 V и 2,4 V.
2. Фронтове на входните сигнали: $t_r \leq 10$ ns; $t_f \leq 10$ ns.
3. Ниво на изводи D_{off} : 1,5 V.
4. Изходен товар: 1 TTL вход и $C_L = 50$ pF.

Особености при експлоатация

1. При реализиране на голяма по обем памет може да се използва режим на четене с намалено време на достъп — при установен адрес се извършва последователен избор на няколко чипа посредством сигнал „избор на схема“.
2. Сигналят \overline{WE} трябва да бъде в състояние логическа „1“ при превключване на адресите. В най-тежкия случай се разрешава едновременно превключване.
3. Чрез селекция могат да се подберат схеми с време на достъп, по-малко от 450 ns. Такива ИС имат означение CM8114-1 и параметрите им са посочени в скоби.

Динамично оперативно запомнящо устройство

CM8101

MOS интегралната схема CM8101 е динамично ОЗУ с произволен достъп до всеки бит. Притежава диференциален изход. Не е съвместима по нива с TTL ИС.

Входно-изходният блок на CM8101 се реализира чрез външни биполярни интегрални схеми. За нормално функциониране на паметта са необходими три хранящи напрежения и три външни тактови сигнала.

Регенерацията на записаната в паметта информация се извършва през 0,5 ms за 32 цикъла (подават се всички възможни комбинации на адресите A_0 до A_4).

Основни характеристики

— Организация	1024 × 1 бита
— Време на достъп	90 ns
— Време за регенерация	0,5 ms
— Максимална консумирана мощност	190 mW

Корпус: керамичен с 22 извода (фиг. 1.17)

Разположение на изводите
(поглед отгоре)

